

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IFW

Certification under 37 CFR 1.8(a)

I hereby certify that this paper (along with any paper referred to as being attached or enclosed) is being deposited with The United States Postal Service with sufficient postage as first class mail in an envelope addressed to Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on June 14, 2004.

Brian W. Hameder
Name

Brian W. Hameder
Signature

DOCKET: CU-3554

IN THE UNITED STATES PATENT & TRADEMARK OFFICE

APPLICANT: Yu-Nung SHEN)
SERIAL NO: 10/764,904) Group Art Unit: 2826
FILING DATE: January 26, 2004) Examiner:
TITLE: SEMICONDUCTOR DEVICE AND)
METHOD FOR MAKING THE SAME)

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMITTAL OF PRIORITY DOCUMENT

Dear Sir:

Attached herewith is a certified copy of Taiwan Application 92102324 filed January 30, 2003, for which priority is claimed under 35 USC 119.

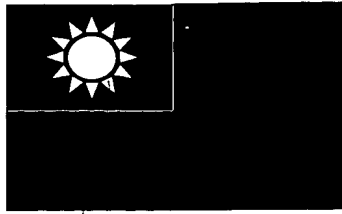
Respectfully submitted,

June 14, 2004
Date

Brian W. Hameder
Attorney for Applicant

Brian W. Hameder, Reg. 45613
c/o Ladas & Parry
224 South Michigan Avenue
Chicago, Illinois 60604
(312) 427-1300

PC-23781 A17



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 01 月 30 日
Application Date

申請案號：092102324
Application No.

申請人：沈育濃
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 2 月 19 日
Issue Date

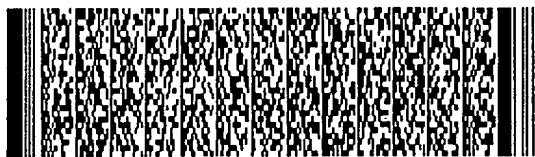
發文字號：09320157640
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	半導體晶元封裝體及其之封裝方法
	英 文	
二、 發明人 (共1人)	姓 名 (中文)	1. 沈育濃
	姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 台北市內湖區麗山街328巷60號
	住居所 (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 沈育濃
	名稱或 姓 名 (英文)	1. Shen Yu-Nung
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北市內湖區麗山街328巷60號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 60, Lane 328, Li-Shan Street, Nei-Hu Dist., Taipei City
	代表人 (中文)	1.
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：半導體晶元封裝體及其之封裝方法)

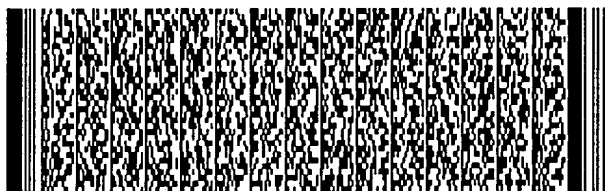
一種半導體晶元封裝體包含：一支承基體；一設置於該支承基體之晶元支承表面上的晶元；一設置於該支承基體之晶元支承表面上的封裝基體，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；數個導電體，每一個導電體係從該晶元之一對應的焊墊延伸至該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；形成於該支承基體之晶元支承表面上以致於該等導電體係被覆蓋的覆蓋層，該覆蓋層係形成有數個用於曝露對應之導電層之一部份的導電球形形成孔；及數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形形成孔內。

伍、(一)、本案代表圖為：第六圖

(二)、本案代表圖之元件代表符號簡單說明：

- | | | | |
|---|------|---|-----|
| 1 | 支承基體 | 2 | 晶元 |
| 3 | 封裝基體 | 4 | 導電體 |

陸、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：半導體晶元封裝體及其之封裝方法)

5 覆蓋層

6 導電球

陸、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

【發明所屬之技術領域】

本發明係有關於一種半導體晶元封裝體及其之封裝方法。

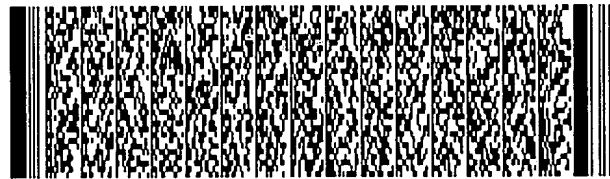
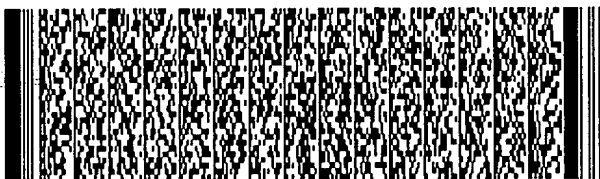
【先前技術】

早期，半導體晶元的封裝方式大多利用導線架作為晶元之內部電路與外部電路之電氣連接的媒介。然而，以這種方式封裝出來的積體電路在體積上係較大，訊號的傳輸速度較慢、且製程耗時進而增加成本。因此，後來係有球形柵狀陣列(BGA)封裝方式的出現。然而，由於電子產品係日益講求方便攜帶性，因此，要如何在功能強大下兼具體積小的特性，則非要把電子組件佔用的空間縮減不可。緣是，目前業界大都致力於研究如何把具有不同功能的晶元包封在一起，俾可有助於整個產品之尺寸有效的縮減，以及成本的降低。但由於一般來說適用於單一晶元的封裝手段與適用於多晶元的封裝手段係會有所不同以致於所需的設備亦有所不同，故製作成本將因此而增加。因此，若能夠有一種封裝手段能同時適用於單一晶元與多晶元的話則將會是更理想。

【發明內容】

有鑑於此，本案發明人遂以其從事該行業之多年經驗，並本著精益求精之精神，積極研究改良，遂有本發明『半導體晶元封裝體及其之封裝方法』產生。

本發明之目的是為提供一種能夠克服以上所述之問題的半導體晶元封裝體及其之封裝方法。



五、發明說明 (2)

根據本發明之一特徵，一種半導體晶元封裝體包含：一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；一晶元，該晶元係被設置於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面上並且具有數個用於曝露該晶元和該支承基體之至少一個電路接點的曝露孔；數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；一覆蓋層，該覆蓋層係形成於該支承基體的晶元支承表面上以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電層之一部份的導電球形成孔；及數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形成孔之外。

根據本發明之另一特徵，一種半導體晶元封裝體包含：一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；一絕緣層，該絕緣層係形成於該支承基體的晶元支承表面上並且具有一用於容置晶元的晶元容置空間及數個用於曝露該支承基體之電路接點的通孔；一晶元，該晶元係被設置於該絕緣層的晶元容置空間並且具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該絕緣層之一對應的通孔內俾可與對



五、發明說明 (3)

應的電路接點電氣連接；及一覆蓋層，該覆蓋層係形成於該絕緣層的表面，以致於該等導體係被覆蓋。

根據本發明之又一特徵，一種半導體晶元封裝體包含：一支承基體，該支承基體具有一晶元容置凹室；一晶元，該晶元係被置放於該支承基體的晶元容置凹室並且具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個導體，每一個該等導體係從該晶元之對應的焊墊延伸到該支承基體之表面上之預定的位置；一覆蓋層，該覆蓋層係形成於該支承基體表面上以致於該等導體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導體之一部份的導電球形成的孔；及數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與一對應的導體電氣連接且凸伸到導電球形成孔之外。

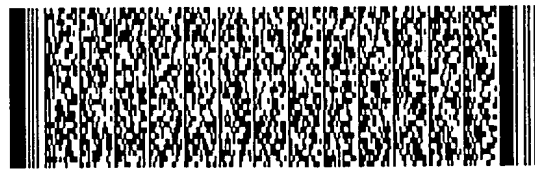
根據本發明之又一特徵，一種半導體晶元封裝體包含：一支承基體，該支承基體具有一晶元支承表面及數個形成於該晶元支承表面上的電路接點；數個形成於該支承基體之晶元支承表面上的支承導體，該等支承導體係與對應的電路接點電氣連接；一晶元，該晶元係被置放於該支承基體的晶元支承表面上並且具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；數個導體，每一個該等導體係從該晶元之對應的焊墊延伸到一對應的支承導體上俾可至少覆蓋該對應之支承導體的一部份；一覆蓋層，該覆蓋層係形成於該支承基體表面上以致於該等導體係被覆蓋，該覆蓋層係形成有數個用於曝露對



五、發明說明 (4)

應之導電體之一部份及對應之支承導電體之未被導電體覆蓋之部份的導電球形成的孔；及數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與對應之導電體電氣連接且凸伸到導電球形成孔之外。

根據本發明之又一特徵，一種半導體晶元封裝體包含：一支承基體，該支承基體具有一晶元支承表面和數個形成於該晶元支承表面上的電路接點；一第一晶元，該第一晶元係被設置於該支承基體的晶元支承表面上，該第一晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；數個第一導電體，每一個該等第一導電體係從該第一晶元之對應的焊墊延伸到該封裝基體之對應的曝露孔內俾可與對應的電路接點電氣連接；一絕緣層，該絕緣層係形成於該封裝基體的表面以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；一第二晶元，該第二晶元係被設置於該絕緣層的表面，該第二晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；數個第二導電體，每一個該等第二導電體係從該第二晶元之一對應的焊墊延伸到該絕緣層之一對應的通孔內俾可與對應的第一導電體電氣連接；一覆蓋層，該覆蓋層係形成於該絕緣層的表面以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之



五、發明說明 (5)

一部份的導電球形成孔；及數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與對應的第二導電體電氣連接且凸伸到導電球形成孔之外。

根據本發明之另一特徵，一種半導體晶元封裝體包含：一晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；數個第一導電體，每一個該等第一導電體係形成於該晶元之對應的焊墊上並且係從該對應之焊墊延伸至該晶元的焊墊安裝表面上；一絕緣層，該絕緣層係形成於該晶元的焊墊安裝表面上以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；一支承基體，該支承基體具有數個安裝於該晶元支承表面上的電路接點，該晶元係被設置於該支承基體的晶元支承表面上；一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面並且具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；數個第二導電體，每一個該等第二導電體係從該支承基體之一對應之電路接點延伸至該絕緣層之一對應之通孔內俾可與對應之第一導電體電氣連接；一覆蓋層，該覆蓋層係形成於該封裝基體表面上以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形成孔；及數個導電球，每一個該等導電球係形成於每一導電球形成孔內俾可與對應之第二導電體電氣連接且凸伸到導電球形成孔之外；

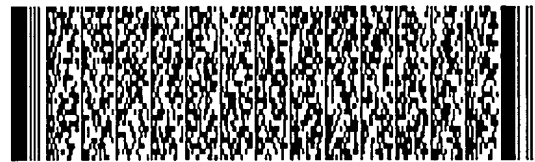
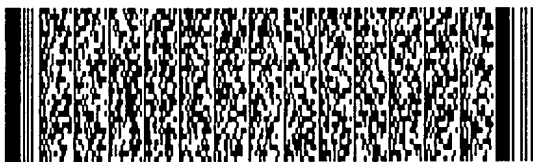
根據本發明之再另一特徵，一種半導體晶元封裝體的



五、發明說明 (6)

封裝方法包含如下之步驟：提供一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；把一晶元設置於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之至少一個電路接點的曝露孔；於該晶元之每一個焊墊上形成一導電體，每一導電體係從該晶元之一對應的焊墊延伸至該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；於該支承基體的晶元支承表面上形成一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形形成孔；及數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形形成孔之外。

根據本發明之又一特徵，一種半導體晶元封裝體之封裝方法包含如下之步驟：提供一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；於該支承基體的晶元支承表面上形成一絕緣層，該絕緣層具有一用於容置晶元的晶元容置空間及數個用於曝露該支承基體之電路接點的通孔；把一晶元設置於該絕緣層的晶元容置空間，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該絕緣層之一對應

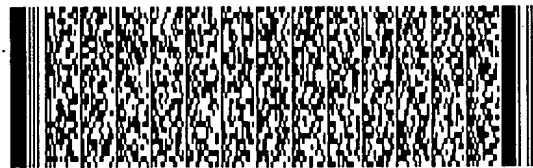


五、發明說明 (7)

的通孔內俾可與對應的電路接點電氣連接；及於該絕緣層的表面上形成一覆蓋層以致於該等導電體係被覆蓋。

根據本發明之再另一特徵，一種半導體晶元封裝體之封裝方法包含如下之步驟：提供一支承基體，該支承基體具有一晶元容置凹室；把一晶元置放於該支承基體的晶元容置凹室，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸到該支承基體之表面上之預定的位置；於該支承基體的表面上形成一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形形成孔；及形成數個導電球，每一個該等導電球係形成於一對應的導電球形形成孔內俾可與一對應的導電體電氣連接且凸伸到導電球形形成孔之外。

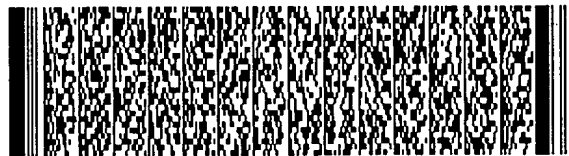
根據本發明之又再另一特徵，一種半導體晶元封裝體之封裝方法包含如下之步驟：提供一支承基體，該支承基體具有一晶元支承表面及數個形成於該晶元支承表面上的電路接點；於該支承基體之晶元支承表面上形成數個支承導電體，該等支承導電體係與對應的電路接點電氣連接；把一晶元置放於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸到一對應的支承導電體上俾可至少覆蓋該對應之支承導電體的一部份；於該支承基體的表面上形成



五、發明說明 (8)

一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份及對應之支承導電體之未被導電體覆蓋之部份的導電球形成孔；及形成數個導電球，每一個該等導電球係形成於一對應的導電球形成孔之內俾可與對應之導電體電氣連接且凸伸到導電球形成孔之外。

根據本發明之再另一特徵，一種半導體晶元封裝體之封裝方法包含如下之步驟：提供一支承基體，該支承基體具有一晶元支承表面和數個形成於該晶元支承表面上的電路接點；把一第一晶元設置於該支承基體的晶元支承表面上，該第一晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；形成數個第一導電體，每一個該等第一導電體係從該第一晶元之一對應的焊墊延伸到該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；於該封裝基體表面上形成一絕緣層以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；把一第二晶元設置於該絕緣層表面上，該第二晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；形成數個第二導電體，每一個該等第二導電體係從該第二晶元之一對應的焊墊延伸到該絕緣層之一對應的通孔內俾可與對應的第一導電體電氣連接；於該絕緣層表面上形成一覆蓋層以致於



五、發明說明 (9)

該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形形成孔；及形成數個導電球，每一個該等導電球係形成於一對應的導電球形形成孔內俾可與對應的第二導電體電氣連接且凸伸到導電球形形成孔之外。

根據本發明之又一特徵，一種半導體晶元封裝體之封裝方法包含如下之步驟：提供一晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；形成數個第一導電體，每一個該等第一導電體係形成於該晶元之對應的焊墊上並且係從該對應之焊墊延伸至該晶元的焊墊安裝表面上；於該晶元的焊墊安裝表面上形成一絕緣層以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；把該晶元設置於一支承基體的晶元支承表面上，該支承基體具有數個安裝於該晶元支承表面上的電路接點；把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；形成數個第二導電體，每一個該等第二導電體係從該支承基體之一對應之電路接點延伸至該絕緣層之一對應之通孔內俾可與對應之第一導電體電氣連接；於該封裝基體表面上形成一覆蓋層以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形形成孔；及形成數個導電球，每一個該等導電球係形成於每一導電球形形成孔內俾可與對應之第二導電體電氣連接且凸

五、發明說明 (10)

伸到導電球形成孔之外。

【實施方式】

在本發明被詳細描述之前，應要注意的是在整個說明當中，相似的元件係由相同的標號標示。另一方面，為了清楚揭示本發明之特徵，在該等圖式中的元件並不是按實際比例描繪。

第一至六圖是為本發明之半導體晶元封裝體之封裝方法之第一較佳實施例的示意流程圖。

請參閱第一圖所示，一支承基體1係首先被提供。該支承基體1具有一晶元支承表面10及數個安裝於該晶元支承表面10上的電路接點11。端視需要而定，該等電路接點11中之部份或全部係可以彼此電氣連接。

應要注意的是，該支承基體1可以是為印刷電路板或者是為以玻璃、金屬、陶瓷或任何適合之材料製成的硬性基體。

然後，如在第二圖中所示，一半導體晶元2係置放於該支承基體1的晶元支承表面10上以致於該支承基體1之電路接點11中之一部份係在該晶元2四周。該半導體晶元2具有一焊墊安裝表面20及數個安裝在該焊墊安裝表面20上的焊墊21（在圖式中，僅一個焊墊被顯示）。

現在請參閱第三圖所示，接著，一封裝基體3係被設置於該支承基體1的晶元支承表面10上。該封裝基體3具有數個用於曝露該晶元2和該支承基體1之在該晶元2四周之電路接點11的曝露孔30以致於當該封裝基體3被設置



五、發明說明 (11)

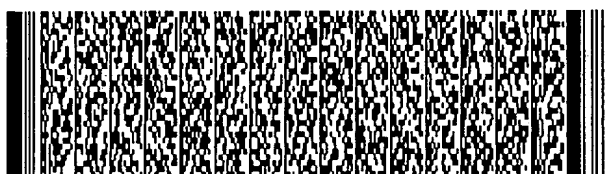
於該支承基體1 上時該晶元2 及其四周的電路接點11 係被曝露。在本實施例中，於該封裝基體3 的四周係設置有一用於固定該封裝基體3 的固定材料層31。該固定材料層31 可以由，例如，像錫、環氧樹脂、及其類似般之任何適合的材料形成。

應要注意的是，該固定材料層31 亦能夠被設置在該封裝基體3 與該支承基體1 之間。

接著，如在第四圖中所示，於該晶元2 的每一焊墊21 上係形成有一導電體4。每一個該等導電體4 係從該晶元2 之對應的焊墊21 延伸到該封裝基體3 之對應的曝露孔30 內俾可與對應的電路接點11 電氣連接。在本實施例中，該等導電體4 的形成係以適於印刷手段之導電材料為材料，藉由印刷手段來達成。該導電材料可以是為，例如，摻雜有任何一種或多種導電金屬的導電金屬膠。該印刷手段可以是為絹網印刷手段、移印刷頭手段、鋼板印刷手段、或任何適合的印刷手段。

然後，於每一導電體4 上係利用任何適合的電鍍手段來形成一導電層40。該導電層40 係可以由一鎳(Ni)層401 和一金(Ag)層402 形成。當然，該導電層40 亦可以由任何適當的金屬層形成。

然後，請參閱第五圖所示，在形成導電層40 的步驟之後，一覆蓋層5 係形成於該支承基體1 的晶元支承表面10 上以致於該等導電層40 係被覆蓋。在本實施例中，該覆蓋層5 係以感光油墨(photo ink) 形成。然後，經由曝光及



五、發明說明 (12)

化學沖洗等處理，該覆蓋層5係形成有數個用於曝露對應之導電層40之一部份和該支承基體1之其他之電路接點11的導電球形成孔50。

應要注意的是，該覆蓋層5亦可以由聚醞亞胺 (polyimide) 或任何適合的光阻(photoresist) 材料形成。

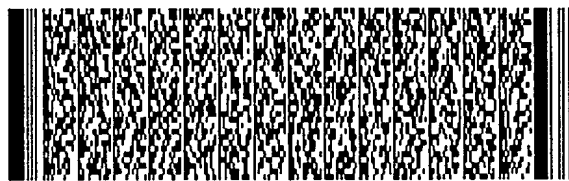
現在請參閱第六圖所示，於每一導電球形成孔50係形成有一與對應之導電層40或對應之電路接點11電氣連接且凸伸到導電球形成孔50之外的導電球6。

雖然，在本實施例中，於圖式及說明中僅有一個晶元，應要了解的是，本實施例亦可適用於數個晶元。另一方面，在本實施例中的描述係以焊墊設在中央的晶元來作例子，應要了解的是，本實施例亦可適用於焊墊設置在一側的晶元。

第七圖顯示利用本發明半導體晶元封裝體之封裝方法之第一較佳實施例來封裝的半導體晶元封裝體。與在第六圖中所示的不同，該半導體晶元封裝體包含兩個晶元2。該兩個晶元2可以是為具有相同功能的晶元，或者可以是為具有不同功能的晶元，而該支承基體1可以是為一系統機板。

第八至十二圖是為本發明之半導體晶元封裝體之封裝方法之第二較佳實施例的示意流程圖。

如在第八圖中所示，一支承基體1係首先被提供。該支承基體1具有一晶元支承表面10及數個安裝於該晶元支



五、發明說明 (13)

承表面10上的電路接點11。接著，一絕緣層7係被形成於該支承基體1的晶元支承表面10上。在本實施例中，該絕緣層7係由感光油墨形成。然後，經由曝光及化學沖洗等處理，該絕緣層7係形成有一用於容置晶元的晶元容置空間70及數個用於曝露該支承基體1之電路接點11的通孔71。

應要注意的是，該絕緣層7亦可以由聚醯亞胺或任何適合的光阻材料形成。

請配合參閱第九圖所示，於該絕緣層7形成晶元容置空間70和通孔71之後，一晶元2係被置放於該晶元容置空間70內。該晶元2具有一焊墊安裝表面20和數個安裝於該焊墊安裝表面20上的焊墊21。

接著，請參閱第十圖所示，於該晶元2的每一焊墊21上係形成有一導電體4。每一個該等導電體4係從該晶元2之對應的焊墊21延伸到該絕緣層7之對應的通孔71內俾可與對應的電路接點11電氣連接。然後，於每一導電體4上係形成一導電層40。

現在，請參閱第十一圖所示，一覆蓋層5然後係形成於該支承基體1的表面10上以致於該等導電層40係被覆蓋。然後，經由曝光及化學沖洗等處理，該覆蓋層5係形成有數個用於曝露對應之導電層40之一部份的導電球形成孔50。

最後，如在第十二圖中所示，於每一導電球形成孔50係形成有一與對應之導電層40電氣連接且凸伸到導電球形



五、發明說明 (14)

成孔50之外的導電球6。

第十三和十四圖是為顯示利用本發明半導體晶元封裝體之封裝方法之第二較佳實施例來封裝之半導體晶元封裝體的示意立體圖，在第十三圖中，覆蓋層係被移去。與在第十二圖中所示的不同，第十三和十四圖的該半導體晶元封裝體包含兩個晶元2。

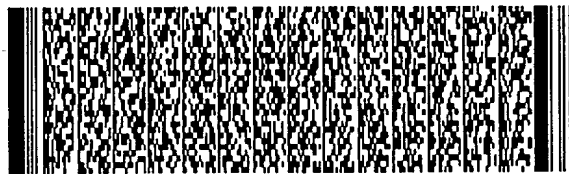
第十五至十八圖是為本發明之半導體晶元封裝體之封裝方法之第三較佳實施例的示意流程圖。

請參閱第十五圖所示，一支承基體1係首先被提供。該支承基體1在其之表面10上係形成有一晶元容置凹室12，如在第十九圖中所示。然後，一晶元2係被置放於該支承基體1的晶元容置凹室12內。該晶元2具有一焊墊安裝表面20及數個安裝於該表面20上的焊墊21。

然後，如在第十六圖中所示，於該晶元2的每一焊墊21上係形成有一導電體4。每一個該等導電體4係從該晶元2之對應的焊墊21延伸到該支承基體1之表面10上之預定的位置，如在第二十圖中所示。然後，於每一導電體4上係形成一導電層40。

現在，請參閱第十七圖所示，一覆蓋層5然後係形成於該支承基體1的表面10上以致於該等導電層40係被覆蓋。然後，經由曝光及化學沖洗等處理，該覆蓋層5係形成有數個用於曝露對應之導電層40之一部份的導電球形成孔50。

最後，如在第十八圖中所示，於每一導電球形成孔50



五、發明說明 (15)

係形成有一與對應之導電層40電氣連接且凸伸到導電球形成孔50之外的導電球6，如在第二十一圖中所示。

應要注意的是，在本實施例中，該晶元2是為一中央處理器或者晶片組。

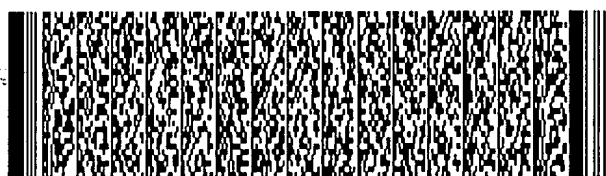
第二十二至二十六圖是為本發明之半導體晶元封裝體之封裝方法之第四較佳實施例的示意流程圖。

請參閱第二十二圖所示，一支承基體1係首先被提供。該支承基體1具有一晶元支承表面10及數個形成於該晶元支承表面10上的電路接點11。然後，數個與對應之電路接點11電氣連接的支承導電體8係形成於該支承基體1的晶元支承表面10上。在形成該等支承導電體8之後，於每一支承導電體8上係形成有一導電層80。該導電層80係可以由一鎳層801和一金層802形成。當然，該導電層80亦可以由任何適當的金屬層形成。

應要注意的是，該等支承導電體8和導電層80係以與在以上所述之實施例中之導電體4和導電層40相同的方式形成，因此，其之詳細描述於此恕不再贅述。

現在請參閱第二十三圖所示，一晶元2係被置放於該支承基體1的晶元支承表面10上。該晶元2具有一焊墊安裝表面20和數個安裝於該焊墊安裝表面20上的焊墊21。

接著，如在第二十四圖中所示，於該晶元2的每一焊墊21上係形成有一導電體4。每一個該等導電體4係從該晶元2之對應的焊墊21延伸到一對應的導電層80上俾可至少覆蓋該對應之導電層80的一部份。然後，於每一導電體



五、發明說明 (16)

4 上係形成一導電層40。

現在，請參閱第二十五圖所示，一覆蓋層5 然後係形成於該支承基體1 的表面10 上以致於該等導電層40 係被覆蓋。然後，經由曝光及化學沖洗等處理，該覆蓋層5 係形成有數個用於曝露對應之導電層40 之一部份及對應之導電層80 之未被導電體4 覆蓋之部份的導電球形成孔50。

最後，如在第二十六圖中所示，於每一導電球形成孔50 係形成有一導電球6。每一個該等導電球6 係與對應之導電層40 或對應之導電層80 電氣連接且凸伸到導電球形成孔50 之外。

第二十七至三十五圖是為本發明之半導體晶元封裝體之封裝方法之第五較佳實施例的示意流程圖。

現在請參閱第二十七圖所示，一支承基體1 係首先被提供。該支承基體1 具有一晶元支承表面10 和數個形成於該晶元支承表面10 上的電路接點11。

接著，一第一晶元2 係被設置於該支承基體1 的晶元支承表面10 上，如在第二十八圖中所示。該第一晶元2 具有一焊墊安裝表面20 和數個安裝於該焊墊安裝表面20 上的焊墊21。

現在請參閱第二十九圖所示，一封裝基體3 係被設置於該支承基體1 的晶元支承表面10 上。該封裝基體3 具有用於曝露該晶元2 和該支承基體1 之電路接點11 的曝露孔30。

接著，如在第三十圖中所示，於該晶元2 的每一焊墊



五、發明說明 (17)

21 上係形成有一導電體4。每一個該等導電體4係從該晶元2之對應的焊墊21延伸到該封裝基體3之對應的曝露孔30內俾可與對應的電路接點11電氣連接。

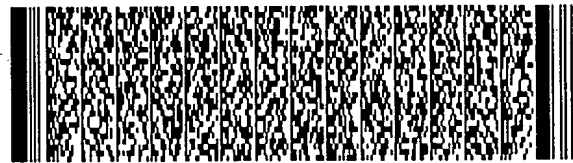
然後，於每一導電體4上係利用任何適合的電鍍手段來形成一導電層40。該導電層40係可以由一鎳層401和一金層402形成。當然，該導電層40亦可以由任何適當的金屬層形成。

然後，請參閱第三十一圖所示，在形成導電層40的步驟之後，一絕緣層7係形成於該封裝基體3的表面10上以致於該等導電層40係被覆蓋。在本實施例中，該絕緣層7係以感光油墨形成。然後，經由曝光及化學沖洗等處理，該絕緣層7係形成有數個用於曝露對應之導電層40之一部份的通孔71，如在第三十二圖中所示。

接著，一第二晶元9係被設置於該絕緣層7的表面上。該第二晶元9具有一焊墊安裝表面90和數個安裝於該焊墊安裝表面90上的焊墊91。

接著，請參閱第三十三圖所示，於該第二晶元9的每一焊墊91上係形成有一導電體92。每一個該等導電體92係從該晶元9之對應的焊墊91延伸到該絕緣層7之通孔71內俾可與對應的導電層40電氣連接。

然後，於每一導電體92上係利用任何適合的電鍍手段來形成一導電層93。該導電層93係可以由一鎳層930和一金層931形成。當然，該導電層93亦可以由任何適當的金屬層形成。



五、發明說明 (18)

然後，如在第三十四圖中所示，一覆蓋層5係形成於該絕緣層7的表面上以致於該等導電層93係被覆蓋。接著，經由曝光及化學沖洗等處理，該覆蓋層5係形成有數個用於曝露對應之導電層93之一部份的導電球形成孔50。

最後，於每一導電球形成孔50係形成有一與對應之導電層93電氣連接且凸伸到導電球形成孔50之外的導電球6，如在第三十五圖中所示。

第三十六至四十二圖是為本發明之半導體晶元封裝體之封裝方法之第六較佳實施例的示意流程圖。

請參閱第三十六圖所示，一晶元2係首先被提供。該晶元2具有一焊墊安裝表面20及數個安裝於該焊墊安裝表面20上的焊墊21。

然後，於該晶元2的每一焊墊21上係形成有一導電體4，如在第三十七圖中所示。每一導電體4係從對應之焊墊21延伸至該晶元2的焊墊安裝表面20上。接著，於每一導電體4上係利用任何適合的電鍍手段來形成一導電層40。該導電層40係可以由一鎳層401和一金層402形成。當然，該導電層40亦可以由任何適當的金屬層形成。

現在，請參閱第三十八圖所示，一絕緣層7係形成於該晶元2的焊墊安裝表面20上以致於該等導電層40係被覆蓋。在本實施例中，該絕緣層7係以感光油墨形成。然後，經由曝光及化學沖洗等處理，該絕緣層7係形成有數個用於曝露對應之導電層40之一部份的通孔71。

接著，請參閱第三十九圖所示，在形成該通孔71之



五、發明說明 (19)

後，該晶元2係被設置於一支承基體1的晶元支承表面10上。該支承基體1具有數個安裝於該晶元支承表面10上的電路接點11。

現在請參閱第四十圖所示，然後，一封裝基體3係被設置於該支承基體1的晶元支承表面10上。該封裝基體3具有用於曝露該晶元2和該支承基體1之電路接點11的曝露孔30。

接著，數個各從該支承基體1之一對應之電路接點11延伸至該絕緣層7之對應之通孔71內俾可與對應之導電層40電氣連接的導電體31係被形成，如在第四十一圖中所示。然後，於每一導電體31上係利用任何適合的電鍍手段來形成一導電層32。該導電層32係可以由一鎳層321和一金層322形成。當然，該導電層32亦可以由任何適當的金屬層形成。

現在，請參閱第四十二圖所示，一覆蓋層5然後係形成於該封裝基體3的表面30上以致於該等導電層32係被覆蓋。接著，經由曝光及化學沖洗等處理，該覆蓋層5係形成有數個用於曝露對應之導電層32之一部份的導電球形成孔50。

最後，於每一導電球形成孔50係形成有一與對應之導電層40電氣連接且凸伸到導電球形成孔50之外的導電球6。

第四十三至四十六圖是為本發明之半導體晶元封裝體之封裝方法之第七較佳實施例的示意流程圖。



五、發明說明 (20)

如在第四十三圖中所示，一支承基體1 係首先被提供。該支承基體1 具有一晶元支承表面10 及數個安裝於該晶元支承表面10 上的電路接點11。在本實施例中，該支承基體1 是為一使用於液晶顯示裝置（圖中未示）的玻璃基體。該晶元支承表面10 即是為該液晶顯示裝置之玻璃基體的背面。該等電路接點11 係與該液晶顯示裝置之其他的電路組件（圖中未示）電氣連接。接著，一絕緣層7 係被形成於該支承基體1 的晶元支承表面10 上。然後，經由曝光及化學沖洗等處理，該絕緣層7 係形成有一用於容置晶元的晶元容置空間70 及數個用於曝露該支承基體1 之電路接點11 的通孔71。

請配合參閱第四十四圖所示，於該絕緣層7 形成晶元容置空間70 和通孔71 之後，一晶元2 係被置放於該晶元容置空間70 內。該晶元2 具有一焊墊安裝表面20 和數個安裝於該焊墊安裝表面20 上的焊墊21。

接著，請參閱第四十五圖所示，於該晶元2 的每一焊墊21 上係形成有一導電體4。每一個該等導電體4 係從該晶元2 之對應的焊墊21 延伸到該絕緣層7 之對應的一個通孔71 內俾可與該通孔71 內的電路接點11 電氣連接。然後，於每一導電體4 上係形成一導電層40，如在第四十六圖中所示。

最後，一覆蓋層5 係形成於該支承基體1 的表面10 上以致於該等導電層40 係被覆蓋。

第四十七圖是為顯示利用本發明半導體晶元封裝體之



五、發明說明 (21)

封裝方法之第七較佳實施例來封裝之半導體晶元封裝體的示意立體圖。在第四十七圖中，覆蓋層係被移去。與在第四十六圖中所示的不同，該半導體晶元封裝體包含數個晶元2。

第四十八圖是為顯示利用本發明半導體晶元封裝體之封裝方法之第七較佳實施例來封裝之另一種半導體晶元封裝體的示意平面圖，在第四十八圖中，覆蓋層係被移去。在第四十八圖中，該支承基體1是為一記憶體模組板並且包含八個記憶體晶元2。

第四十九圖是為顯示利用本發明半導體晶元封裝體之封裝方法之第七較佳實施例來封裝之又另一種半導體晶元封裝體的示意平面圖，在第四十九圖中，覆蓋層係被移去。在第四十九圖中，該支承基體1是為一快閃記憶卡的機板並且包含一個控制器晶元22和兩個快閃記憶體晶元23。

綜上所述，本發明之『半導體晶元封裝體及其之封裝方法』，確能藉上述所揭露之構造、裝置，達到預期之目的與功效，且申請前未見於刊物亦未公開使用，符合發明專利之新穎、進步等要件。

惟，上述所揭之圖式及說明，僅為本發明之實施例而已，非為限定本發明之實施例；大凡熟悉該項技藝之人仕，其所依本發明之特徵範疇，所作之其他等效變化或修飾，皆應涵蓋在以下本案之申請專利範圍內。



圖式簡單說明

第一至六圖是為描繪本發明半導體晶元封裝體之封裝方法之第一較佳實施例的示意流程剖視圖；

第七圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第一較佳實施例來封裝之具有兩個晶元之半導體晶元封裝體的示意剖視圖；

第八至十二圖是為描繪本發明半導體晶元封裝體之封裝方法之第二較佳實施例的示意流程剖視圖；

第十三和十四圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第二較佳實施例來封裝之具有兩個晶元之半導體晶元封裝體的示意立體圖；

第十五至十八圖是為描繪本發明半導體晶元封裝體之封裝方法之第三較佳實施例的示意流程剖視圖；

第十九圖是為對應於第十五圖的示意立體圖，其中，晶元係被移去；

第二十圖是為對應於第十六圖的示意立體圖；

第二十一圖是為對應於第十八圖的示意立體圖；

第二十二至二十六圖是為描繪本發明半導體晶元封裝體之封裝方法之第四較佳實施例的示意流程剖視圖；

第二十七至三十五圖是為描繪本發明半導體晶元封裝體之封裝方法之第五較佳實施例的示意流程剖視圖；

第三十六至四十二圖是為描繪本發明半導體晶元封裝體之封裝方法之第六較佳實施例的示意流程剖視圖；

第四十三至四十六圖是為描繪本發明半導體晶元封裝體之封裝方法之第七較佳實施例的示意流程剖視圖；



圖式簡單說明

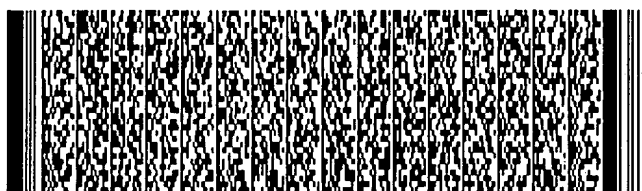
第四十七圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第七較佳實施例來封裝之具有數個晶元之半導體晶元封裝體的示意立體圖，其中，保護層係被移去；

第四十八圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第七較佳實施例來封裝之另一種具有數個晶元之半導體晶元封裝體的示意立體圖，其中，覆蓋層係被移去；及

第四十九圖是為描繪利用本發明半導體晶元封裝體之封裝方法之第七較佳實施例來封裝之又另一種具有數個晶元之半導體晶元封裝體的示意立體圖，其中，覆蓋層係被移去。

【圖式之主要元件代表符號表】

1	支承基體	10	晶元支承表面
11	電路接點	2	晶元
20	焊墊安裝表面	21	焊墊
3	封裝基體	30	曝露孔
4	導電體	40	導電層
401	鎳層	402	金層
5	覆蓋層	50	導電球形形成孔
6	導電球	7	絕緣層
70	晶元容置空間	71	通孔
12	晶元容置凹室	8	支承導電體
80	導電層	801	鎳層
802	金層	9	晶元



圖式簡單說明

90 焊墊安裝表面

92 導電體

930 鎳層

31 導電體

321 鎳層

91 焊墊

93 導電層

931 金層

32 導電層

322 金層



六、申請專利範圍

1. 一種半導體晶元封裝體，包含：

一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；

一晶元，該晶元係被設置於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；

一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面上並且具有數個用於曝露該晶元和該支承基體之至少一個電路接點的曝露孔；

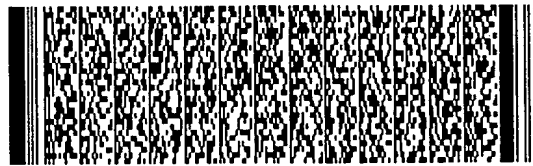
數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；

一覆蓋層，該覆蓋層係形成於該支承基體的晶元支承表面上以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電層之一部份的導電球形形成孔；及

數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形形成孔之外。

2. 如申請專利範圍第1項所述之半導體晶元封裝體，其中，該支承基體是為由聚醯亞胺、玻璃、陶瓷、金屬或任何適合之材料製成的硬性基體。

3. 如申請專利範圍第1項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的



六、申請專利範圍

導電體上。

4. 如申請專利範圍第3項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。

5. 一種半導體晶元封裝體，包含：

一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；

一絕緣層，該絕緣層係形成於該支承基體的晶元支承表面上並且具有一用於容置晶元的晶元容置空間及數個用於曝露該支承基體之電路接點的通孔；

一晶元，該晶元係被設置於該絕緣層的晶元容置空間並且具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；

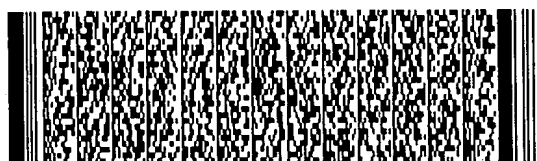
數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該絕緣層之一對應的通孔內俾可與對應的電路接點電氣連接；及

一覆蓋層，該覆蓋層係形成於該絕緣層的表面上以致於該等導電體係被覆蓋。

6. 如申請專利範圍第5項所述之半導體晶元封裝體，其中，該支承基體是為一用於液晶顯示器的玻璃基體，且該支承基體的晶元支承表面是為該玻璃基體的背面。

7. 如申請專利範圍第5項所述之半導體晶元封裝體，其中，該支承基體是為一記憶體模組板。

8. 如申請專利範圍第5項所述之半導體晶元封裝體，其



六、申請專利範圍

中，該支承基體是為一快閃記憶卡的機板。

9. 如申請專利範圍第5項所述之半導體晶元封裝體，其中，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形成孔，且該半導體晶元封裝體係更包含數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形成孔之外。
10. 如申請專利範圍第5項所述之半導體晶元封裝體，其中，該支承基體是為由聚醯亞胺、玻璃、陶瓷、金屬或任何適合之材料製成的硬性基體。
11. 如申請專利範圍第5項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的導電體上。
12. 如申請專利範圍第9項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的導電體上。
13. 如申請專利範圍第12項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。
14. 如申請專利範圍第5項所述之半導體晶元封裝體，其中，該絕緣層和該覆蓋層係由感光油墨或任何適合的光阻材料形成。
15. 一種半導體晶元封裝體，包含：
一支承基體，該支承基體具有一晶元容置凹室；



六、申請專利範圍

一晶元，該晶元係被置放於該支承基體的晶元容置凹室並且具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

數個導電體，每一個該等導電體係從該晶元之對應的焊墊延伸到該支承基體之表面上之預定的位置；

一覆蓋層，該覆蓋層係形成於該支承基體的表面上以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形成孔；及

數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與一對應的導電體電氣連接且凸伸到導電球形成孔之外。

16. 如申請專利範圍第15項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的導電體上。

17. 如申請專利範圍第16項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。

18. 如申請專利範圍第15項所述之半導體晶元封裝體，其中，該晶元是為一中央處理器或晶片組。

19. 一種半導體晶元封裝體，包含：

一支承基體，該支承基體具有一晶元支承表面及數個形成於該晶元支承表面上的電路接點；

數個形成於該支承基體之晶元支承表面上的支承



六、申請專利範圍

導電體，該等支承導電體係與對應的電路接點電氣連接；

一晶元，該晶元係被置放於該支承基體的晶元支承表面上並且具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；

數個導電體，每一個該等導電體係從該晶元之對應的焊墊延伸到一對應的支承導電體上俾可至少覆蓋該對應之支承導電層的一部份；

一覆蓋層，該覆蓋層係形成於該支承基體的表面上以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份及對應之支承導電體之未被導電體覆蓋之部份的導電球形形成孔；及

數個導電球，每一個該等導電球係形成於一對應的導電球形形成孔內俾可與對應之導電體電氣連接且凸伸到導電球形形成孔之外。

20. 如申請專利範圍第19項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的導電體上。
21. 如申請專利範圍第20項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。
22. 如申請專利範圍第19項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係從被形成於一對應的支承導電體上。



六、申請專利範圍

23. 如申請專利範圍第22項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。

24. 一種半導體晶元封裝體，包含：

一支承基體，該支承基體具有一晶元支承表面和數個形成於該晶元支承表面上的電路接點；

一第一晶元，該第一晶元係被設置於該支承基體的晶元支承表面上，該第一晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；

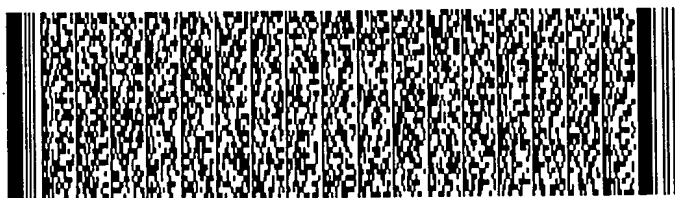
一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；

數個第一導電體，每一個該等第一導電體係從該第一晶元之對應的焊墊延伸到該封裝基體之對應的曝露孔內俾可與對應的電路接點電氣連接；

一絕緣層，該絕緣層係形成於該封裝基體的表面以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之部份的通孔；

一第二晶元，該第二晶元係被設置於該絕緣層的表面，該第二晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；

數個第二導電體，每一個該等第二導電體係從該第二晶元之一對應的焊墊延伸到該絕緣層之一對應的通孔內俾可與對應的第一導電體電氣連接；



六、申請專利範圍

一覆蓋層，該覆蓋層係形成於該絕緣層的表面上以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形成孔；及

數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與對應的第二導電體電氣連接且凸伸到導電球形成孔之外。

25. 如申請專利範圍第24項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的第一導電體上。

26. 如申請專利範圍第25項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。

27. 如申請專利範圍第24項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的第二導電體上。

28. 如申請專利範圍第27項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。

29. 一種半導體晶元封裝體，包含：

一晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

數個第一導電體，每一個該等第一導電體係形成於該晶元之對應的焊墊上並且係從該對應之焊墊延伸



六、申請專利範圍

至該晶元的焊墊安裝表面上

一絕緣層，該絕緣層係形成於該晶元的焊墊安裝表面上以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；

一支承基體，該支承基體具有數個安裝於該晶元支承表面上的電路接點，該晶元係被設置於該支承基體的晶元支承表面上；

一封裝基體，該封裝基體係被設置於該支承基體的晶元支承表面並且具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；

數個第二導電體，每一個該等第二導電體係從該支承基體之一對應之電路接點延伸至該絕緣層之一對應之通孔內俾可與對應之第一導電體電氣連接；

一覆蓋層，該覆蓋層係形成於該封裝基體表面上以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形形成孔；及

數個導電球，每一個該等導電球係形成於每一導電球形形成孔內俾可與對應之第二導電體電氣連接且凸伸到導電球形形成孔之外；

30. 如申請專利範圍第29項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的第一導電體上。



六、申請專利範圍

31. 如申請專利範圍第30項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。
32. 如申請專利範圍第29項所述之半導體晶元封裝體，更包含數個導電層，每一個該等導電層係被形成於一對應的第二導電體上。
33. 如申請專利範圍第32項所述之半導體晶元封裝體，其中，每一個該等導電層包含一鎳層與一金層中之至少一者。
34. 一種半導體晶元封裝體的封裝方法，包含如下之步驟：

提供一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；

把一晶元設置於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊墊；

把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之至少一個電路接點的曝露孔；

於該晶元之每一個焊墊上形成一導電體，每一導電體係從該晶元之一對應的焊墊延伸至該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；

於該支承基體的晶元支承表面上形成一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用



六、申請專利範圍

於曝露對應之導電體之一部份的導電球形成孔；及

數個導電球，每一個該等導電球係被形成於該覆蓋層之一對應的導電球形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形成孔之外。

35. 如申請專利範圍第34項所述之半導體晶元封裝體之封裝方法，其中，在提供支承基體的步驟中，該支承基體是為由聚醯亞胺、玻璃、陶瓷、金屬或任何適合之材料製成的硬性基體。

36. 如申請專利範圍第34項所述之半導體晶元封裝體之封裝體方法，在形成導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的導電體上。

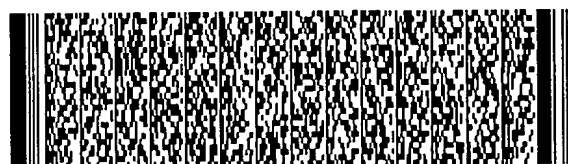
37. 如申請專利範圍第36項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

38. 一種半導體晶元封裝體之封裝方法，包含如下之步驟：

提供一支承基體，該支承基體具有一晶元支承表面及數個安裝於該晶元支承表面上的電路接點；

於該支承基體的晶元支承表面上形成一絕緣層，該絕緣層具有一用於容置晶元的晶元容置空間及數個用於曝露該支承基體之電路接點的通孔；

把一晶元設置於該絕緣層的晶元容置空間，該晶元具有一焊墊安裝表面及數個安裝於該焊墊上的焊



六、申請專利範圍

墊；

形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸至該絕緣層之一對應的通孔內俾可與對應的電路接點電氣連接；及

於該絕緣層的表面上形成一覆蓋層以致於該等導電體係被覆蓋。

39. 如申請專利範圍第38項所述之半導體晶元封裝體之封裝方法，其中，在提供支承基體的步驟中，該支承基體是為一用於液晶顯示器的玻璃基體，且該支承基體的晶元支承表面是為該玻璃基體的背面。
40. 如申請專利範圍第38項所述之半導體晶元封裝體之封裝方法，其中，在提供支承基體的步驟中，該支承基體是為一記憶體模組板。
41. 如申請專利範圍第38項所述之半導體晶元封裝體之封裝方法，其中，在提供支承基體的步驟中，該支承基體是為一快閃記憶卡的機板。
42. 如申請專利範圍第38項所述之半導體晶元封裝體之封裝方法，其中，在形成覆蓋層的步驟中，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形形成孔，且該半導體晶元封裝體之封裝方法係更包含形成數個導電球的步驟，每一個該等導電球係被形成的於該覆蓋層之一對應的導電球形形成孔內俾可與對應的導電體電氣連接且係凸伸在導電球形形成孔之外。
43. 如申請專利範圍第38項所述之半導體晶元封裝體之封



六、申請專利範圍

裝方法，其中，在提供支承基體的步驟中，該支承基體是為由聚醯亞胺、玻璃、陶瓷、金屬或任何適合之材料製成的硬性基體。

44. 如申請專利範圍第38項所述之半導體晶元封裝體之封裝方法，在形成導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的導電體上。

45. 如申請專利範圍第42項所述之半導體晶元封裝體之封裝方法，在形成導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的導電體上。

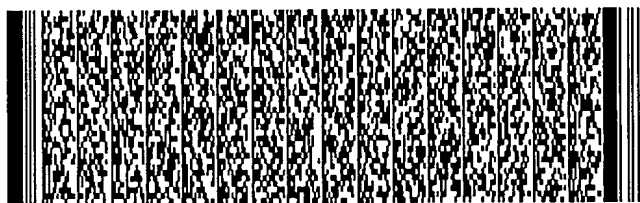
46. 如申請專利範圍第45項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

47. 如申請專利範圍第38項所述之半導體晶元封裝體，其中，該絕緣層係由感光油墨或任何適合的光阻材料形成。

48. 一種半導體晶元封裝體之封裝方法，包含如下之步驟：

提供一支承基體，該支承基體具有一晶元容置凹室；

把一晶元置放於該支承基體的晶元容置凹室，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；



六、申請專利範圍

形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸到該支承基體之表面上之預定的位置；

於該支承基體的表面上形成一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份的導電球形成孔；及

形成數個導電球，每一個該等導電球係形成於一對應的導電球形成孔內俾可與一對應的導電體電氣連接且凸伸到導電球形成孔之外。

49. 如申請專利範圍第48項所述之半導體晶元封裝體之封裝方法，在形成導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的導電體上。

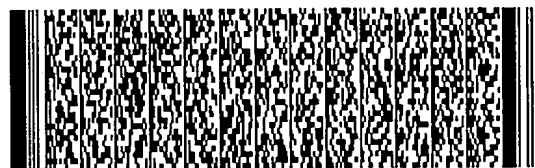
50. 如申請專利範圍第49項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

51. 如申請專利範圍第48項所述之半導體晶元封裝體之封裝方法，其中，在提供晶元的步驟中，該晶元是為一中央處理器或晶片組。

52. 一種半導體晶元封裝體之封裝方法，包含如下之步驟：

提供一支承基體，該支承基體具有一晶元支承表面及數個形成於該晶元支承表面上的電路接點；

於該支承基體之晶元支承表面上形成數個支承導



六、申請專利範圍

電體，該等支承導電體係與對應的電路接點電氣連接；

把一晶元置放於該支承基體的晶元支承表面上，該晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；

形成數個導電體，每一個該等導電體係從該晶元之一對應的焊墊延伸到一對應的支承導電體上俾可至少覆蓋該對應之支承導電體的一部份；

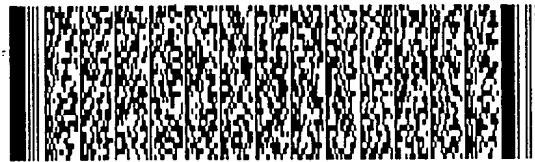
於該支承基體的表面上形成一覆蓋層以致於該等導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之導電體之一部份及對應之支承導電體之未被導電體覆蓋之部份的導電球形形成孔；及

形成數個導電球，每一個該等導電球係形成於一對應的導電球形形成孔內俾可與對應之導電體電氣連接且凸伸到導電球形形成孔之外。

53. 如申請專利範圍第52項所述之半導體晶元封裝體之封裝方法，在形成導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的導電體上。

54. 如申請專利範圍第53項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

55. 如申請專利範圍第52項所述之半導體晶元封裝體之封裝方法，在形成支承導電體的步驟之後，更包含形成



六、申請專利範圍

數個導電層的步驟，每一個該等導電層係被形成於一對應的支承導電體上。

56. 如申請專利範圍第55項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

57. 一種半導體晶元封裝體之封裝方法，包含如下之步驟：

提供一支承基體，該支承基體具有一晶元支承表面和數個形成於該晶元支承表面上的電路接點；

把一第一晶元設置於該支承基體的晶元支承表面上，該第一晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；

把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；

形成數個第一導電體，每一個該等第一導電體係從該第一晶元之一對應的焊墊延伸到該封裝基體之一對應的曝露孔內俾可與對應的電路接點電氣連接；

於該封裝基體的表面上形成一絕緣層以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；

把一第二晶元設置於該絕緣層的表面上，該第二晶元具有一焊墊安裝表面和數個安裝於該焊墊安裝表面上的焊墊；



六、申請專利範圍

形成數個第二導電體，每一個該等第二導電體係從該第二晶元之一對應的焊墊延伸到該絕緣層之一對應的通孔內俾可與對應的第一導電體電氣連接；

於該絕緣層的表面上形成一覆蓋層以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形形成孔；及

形成數個導電球，每一個該等導電球係形成於一對應的導電球形形成孔內俾可與對應的第二導電體電氣連接且凸伸到導電球形形成孔之外。

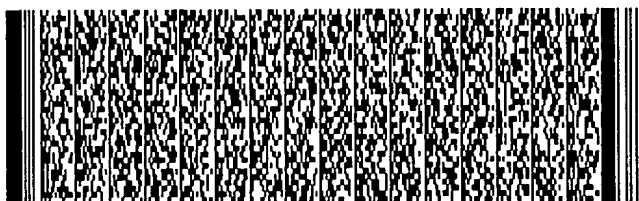
58. 如申請專利範圍第57項所述之半導體晶元封裝體之封裝方法，在形成第一導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的第一導電體上。

59. 如申請專利範圍第58項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

60. 如申請專利範圍第57項所述之半導體晶元封裝體之封裝方法，在形成第二導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的第二導電體上。

61. 如申請專利範圍第60項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。

62. 一種半導體晶元封裝體之封裝方法，包含如下之步



六、申請專利範圍

驟：

提供一晶元，該晶元具有一焊墊安裝表面及數個安裝於該焊墊安裝表面上的焊墊；

形成數個第一導電體，每一個該等第一導電體係形成於該晶元之對應的焊墊上並且係從該對應之焊墊延伸至該晶元的焊墊安裝表面上

於該晶元的焊墊安裝表面上形成一絕緣層以致於該等第一導電體係被覆蓋，該絕緣層係形成有數個用於曝露對應之第一導電體之一部份的通孔；

把該晶元設置於一支承基體的晶元支承表面上，該支承基體具有數個安裝於該晶元支承表面上的電路接點；

把一封裝基體設置於該支承基體的晶元支承表面上，該封裝基體具有數個用於曝露該晶元和該支承基體之電路接點的曝露孔；

形成數個第二導電體，每一個該等第二導電體係從該支承基體之一對應之電路接點延伸至該絕緣層之一對應之通孔內俾可與對應之第一導電體電氣連接；

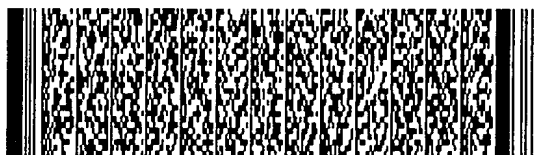
於該封裝基體的表面上形成一覆蓋層以致於該等第二導電體係被覆蓋，該覆蓋層係形成有數個用於曝露對應之第二導電體之一部份的導電球形形成孔；及

形成數個導電球，每一個該等導電球係形成於每一導電球形形成孔內俾可與對應之第二導電體電氣連接且凸伸到導電球形形成孔之外。

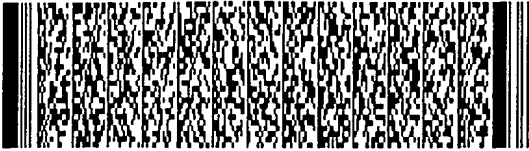


六、申請專利範圍

63. 如申請專利範圍第62項所述之半導體晶元封裝體之封裝方法，在形成第一導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的第一導電體上。
64. 如申請專利範圍第63項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。
65. 如申請專利範圍第62項所述之半導體晶元封裝體之封裝方法，在形成第二導電體的步驟之後，更包含形成數個導電層的步驟，每一個該等導電層係被形成於一對應的第二導電體上。
66. 如申請專利範圍第65項所述之半導體晶元封裝體之封裝方法，其中，在形成導電層的步驟中，每一個該等導電層包含一鎳層與一金層中之至少一者。



第 1/46 頁



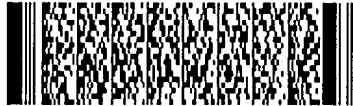
第 2/46 頁



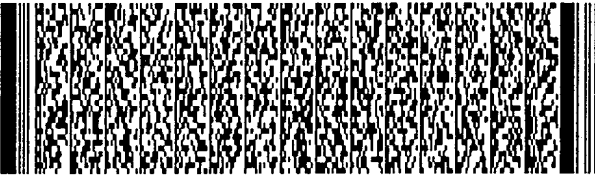
第 3/46 頁



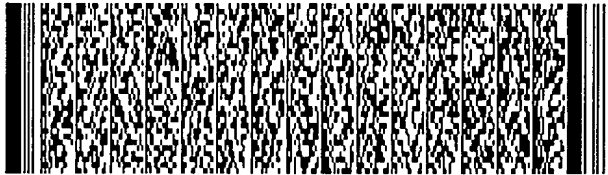
第 4/46 頁



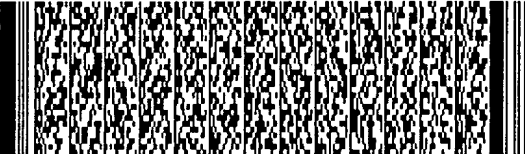
第 5/46 頁



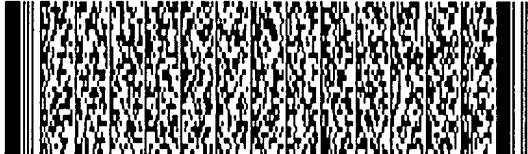
第 5/46 頁



第 6/46 頁



第 6/46 頁



第 7/46 頁



第 7/46 頁



第 8/46 頁



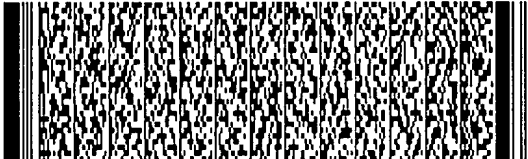
第 8/46 頁



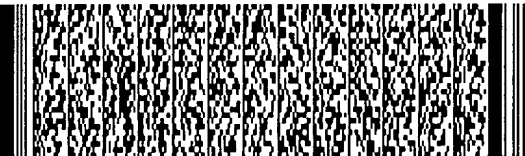
第 9/46 頁



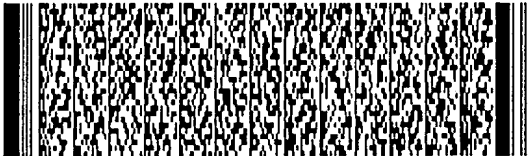
第 9/46 頁



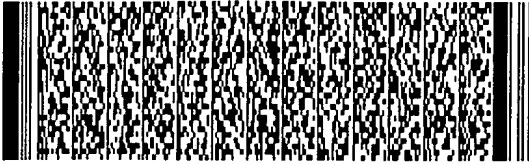
第 10/46 頁



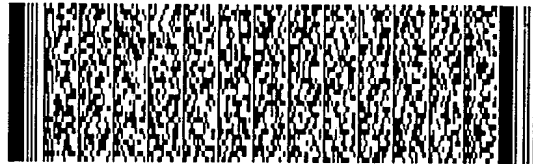
第 10/46 頁



第 11/46 頁



第 11/46 頁



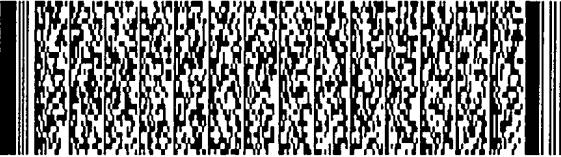
第 12/46 頁



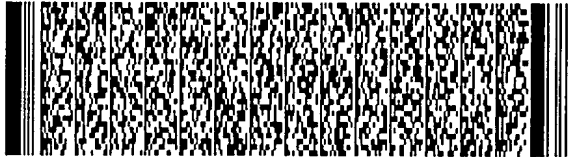
第 12/46 頁



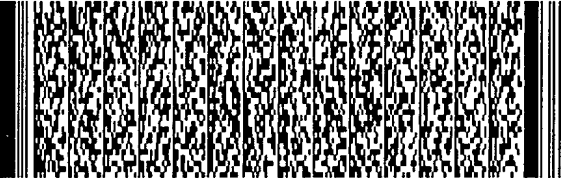
第 13/46 頁



第 13/46 頁



第 14/46 頁



第 14/46 頁



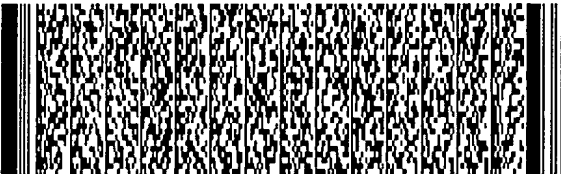
第 15/46 頁



第 15/46 頁



第 16/46 頁



第 16/46 頁



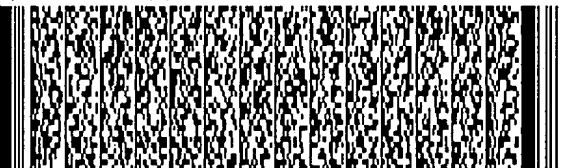
第 17/46 頁



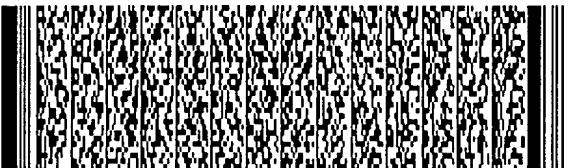
第 17/46 頁



第 18/46 頁



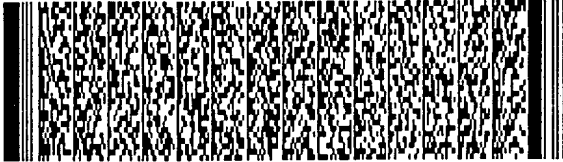
第 18/46 頁



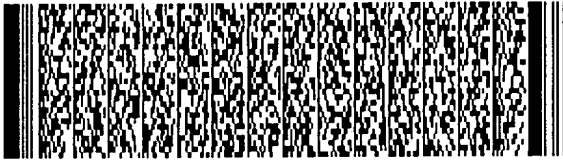
第 19/46 頁



第 20/46 頁



第 21/46 頁



第 22/46 頁



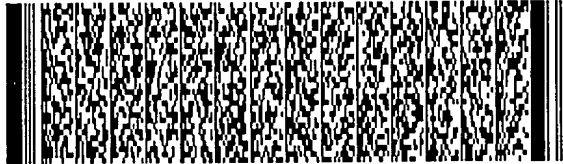
第 23/46 頁



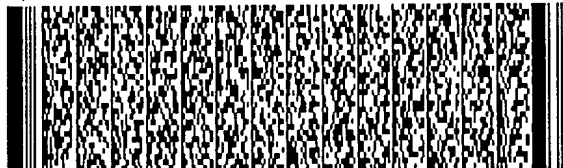
第 24/46 頁



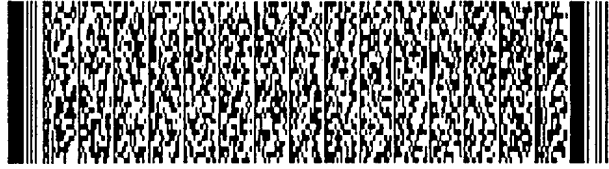
第 25/46 頁



第 26/46 頁



第 19/46 頁



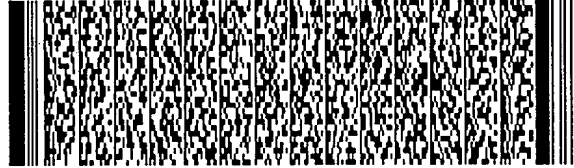
第 20/46 頁



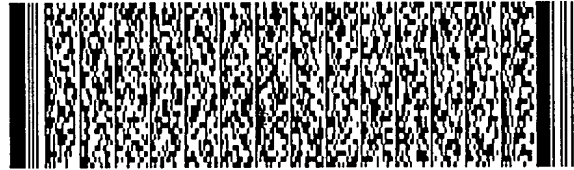
第 21/46 頁



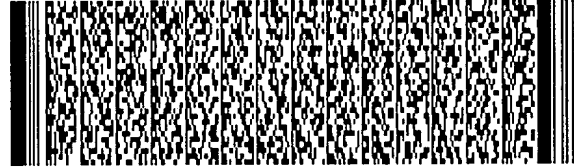
第 22/46 頁



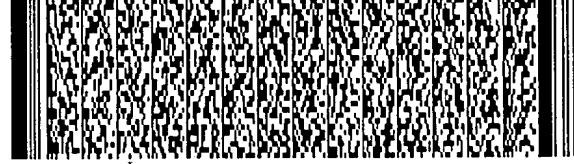
第 23/46 頁



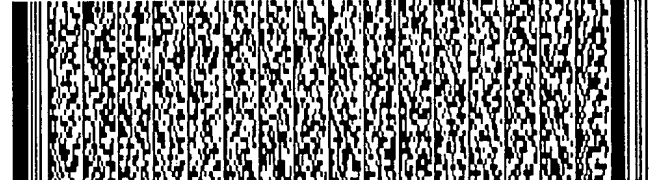
第 24/46 頁



第 25/46 頁



第 27/46 頁



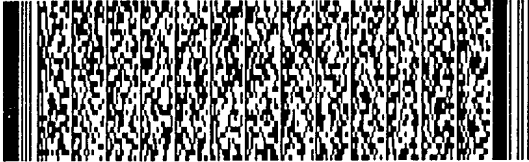
第 28/46 頁



第 29/46 頁



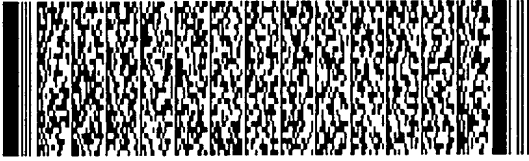
第 29/46 頁



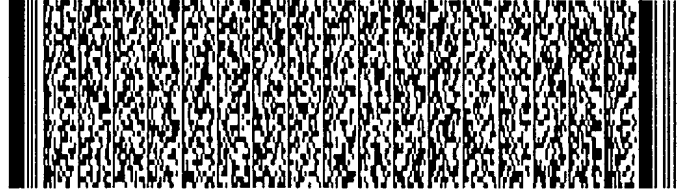
第 30/46 頁



第 30/46 頁



第 31/46 頁



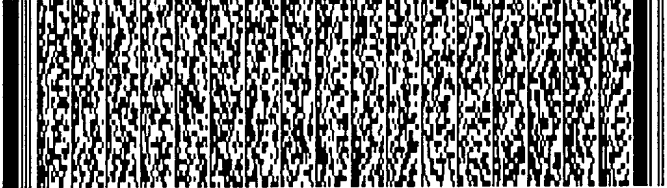
第 32/46 頁



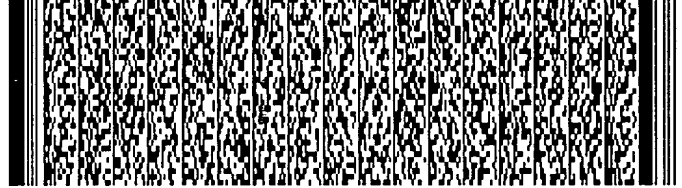
第 32/46 頁



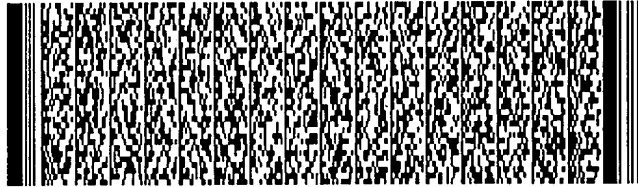
第 33/46 頁



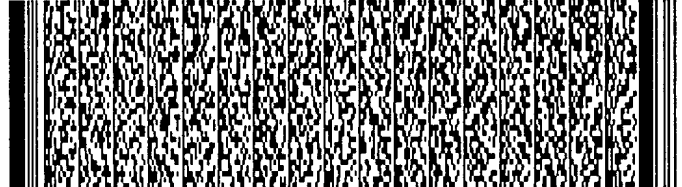
第 34/46 頁



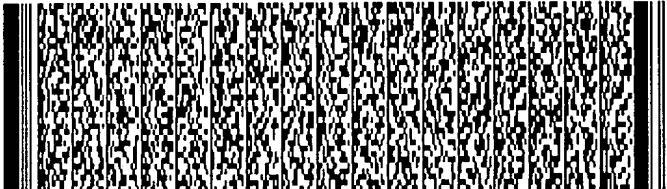
第 35/46 頁



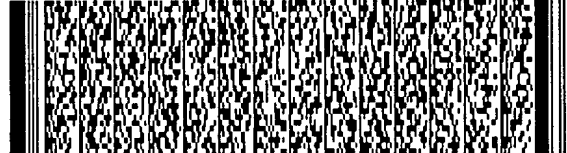
第 36/46 頁



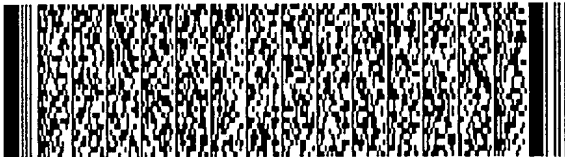
第 37/46 頁



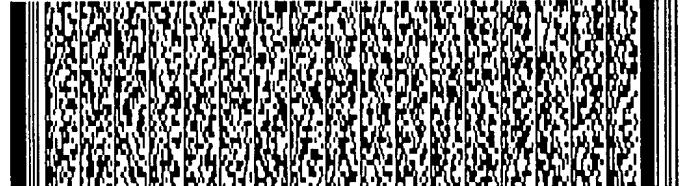
第 38/46 頁



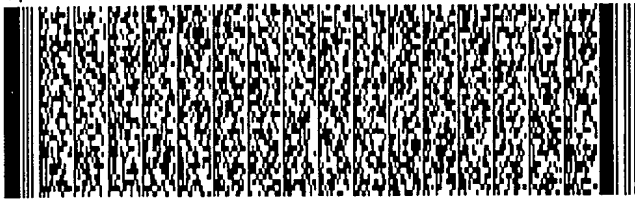
第 38/46 頁



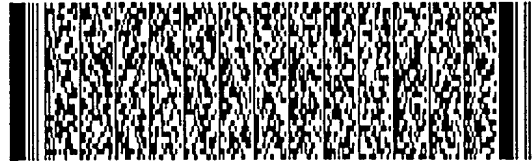
第 39/46 頁



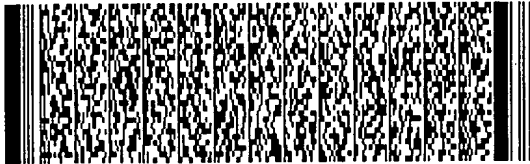
第 40/46 頁



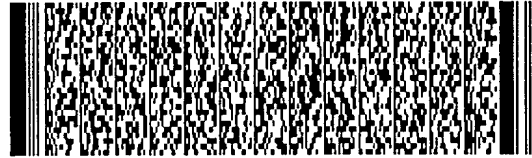
第 41/46 頁



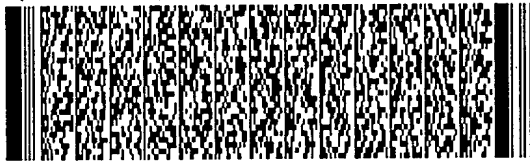
第 41/46 頁



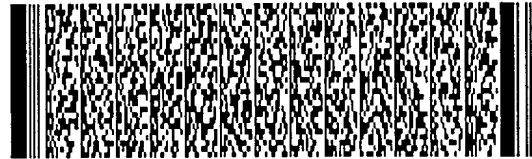
第 42/46 頁



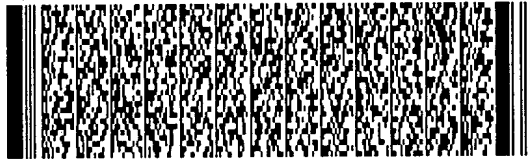
第 42/46 頁



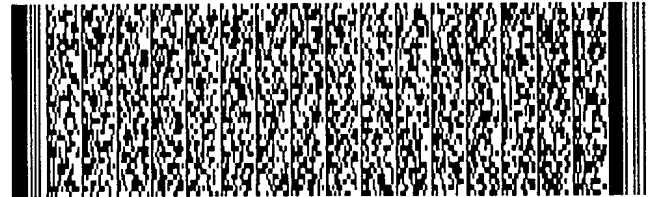
第 43/46 頁



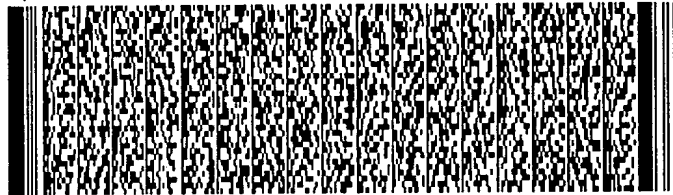
第 43/46 頁



第 44/46 頁

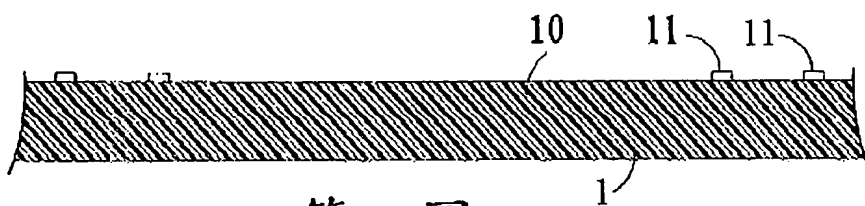


第 45/46 頁

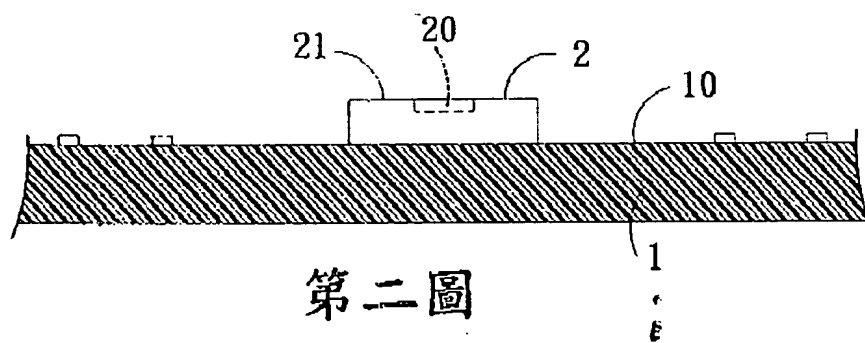


第 46/46 頁

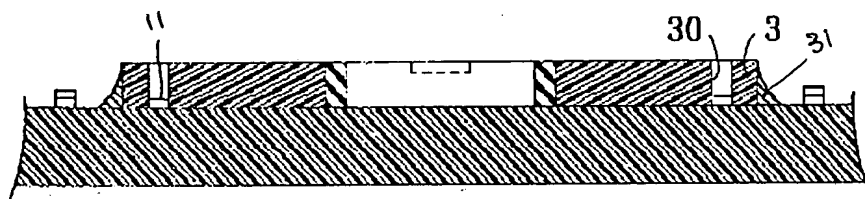




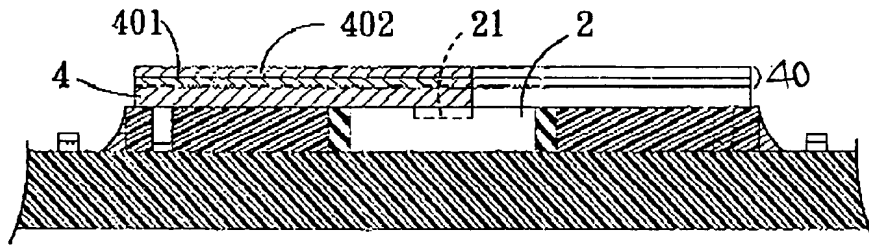
第一圖



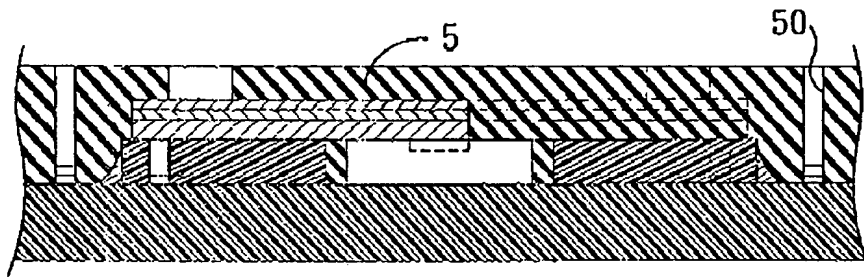
第二圖



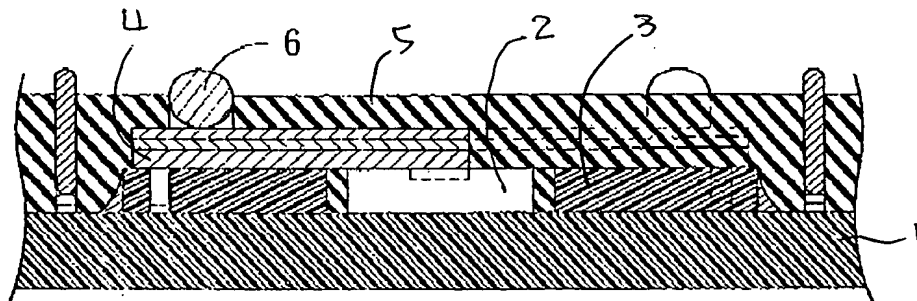
第三圖



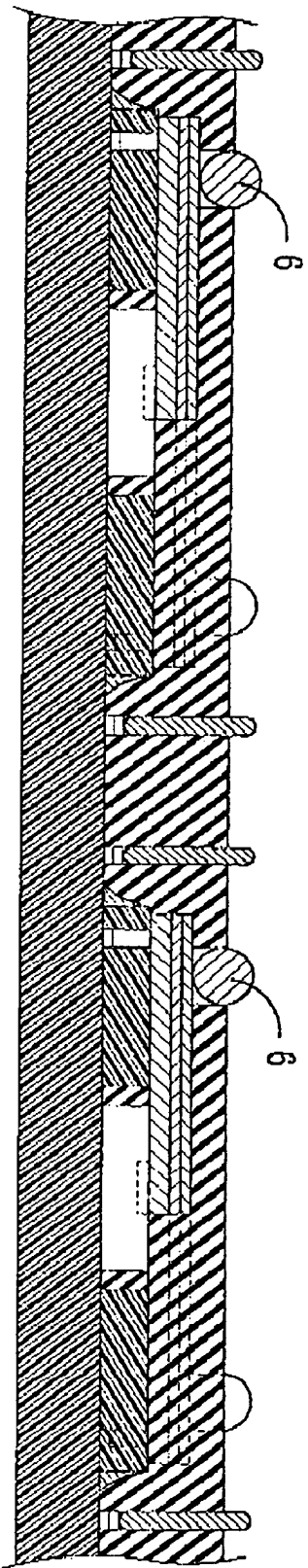
第四圖



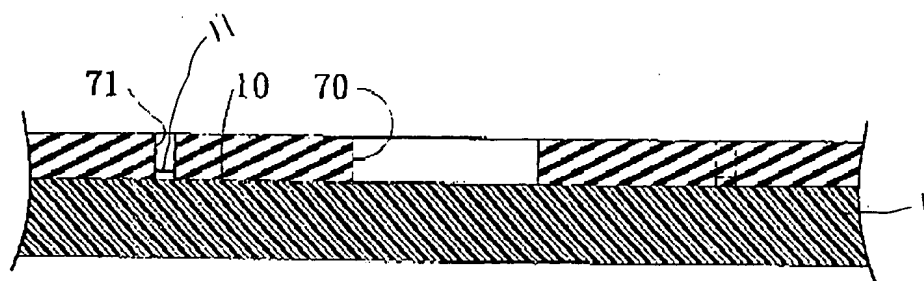
第五圖



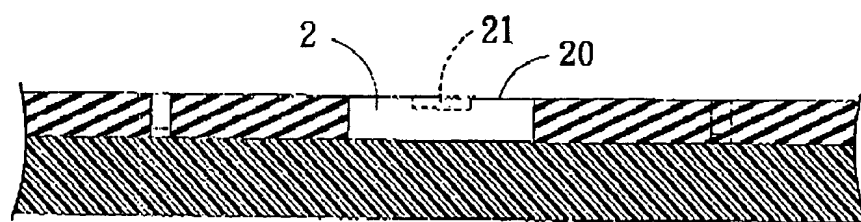
第六圖



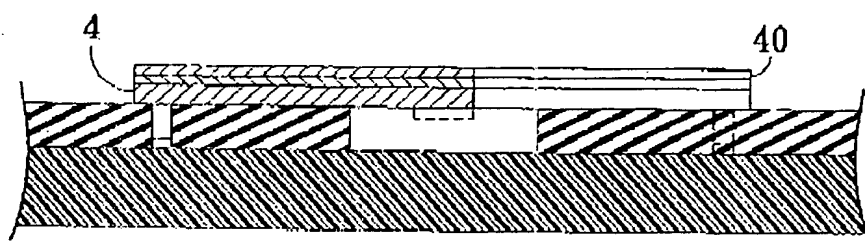
第七圖



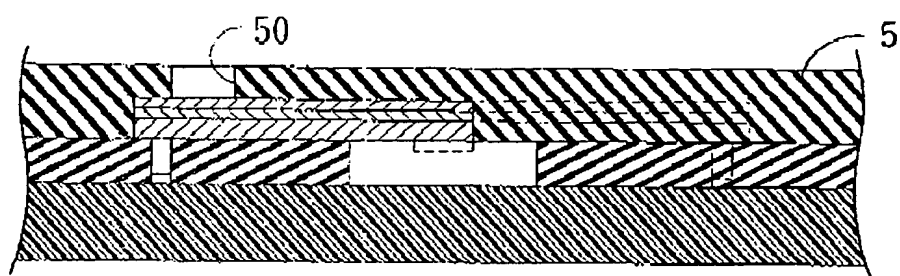
第八圖



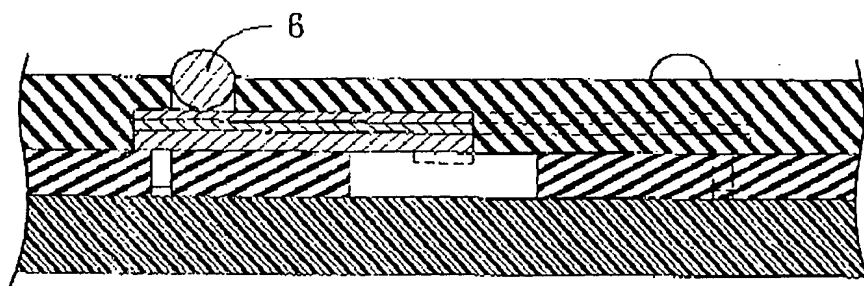
第九圖



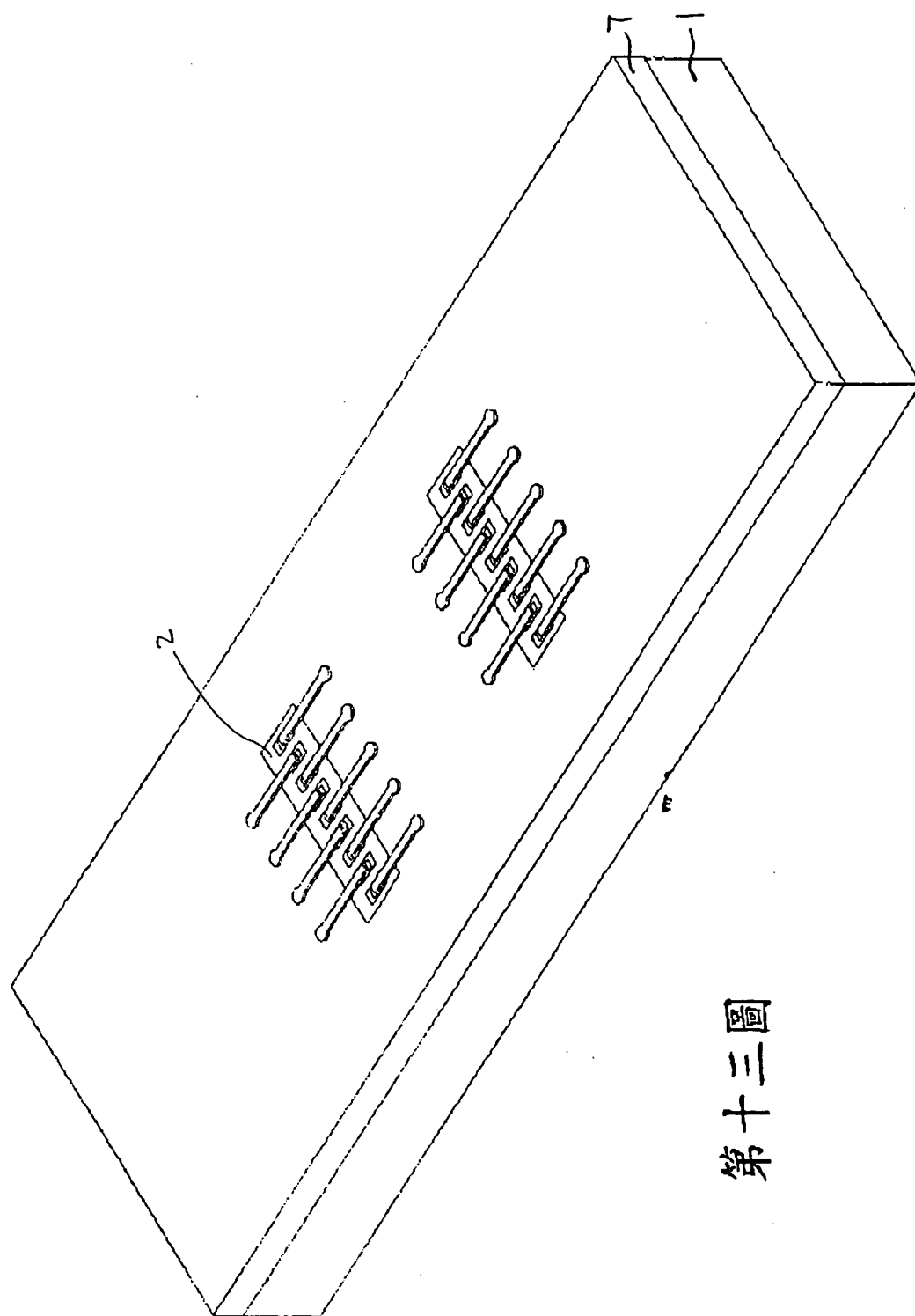
第十圖



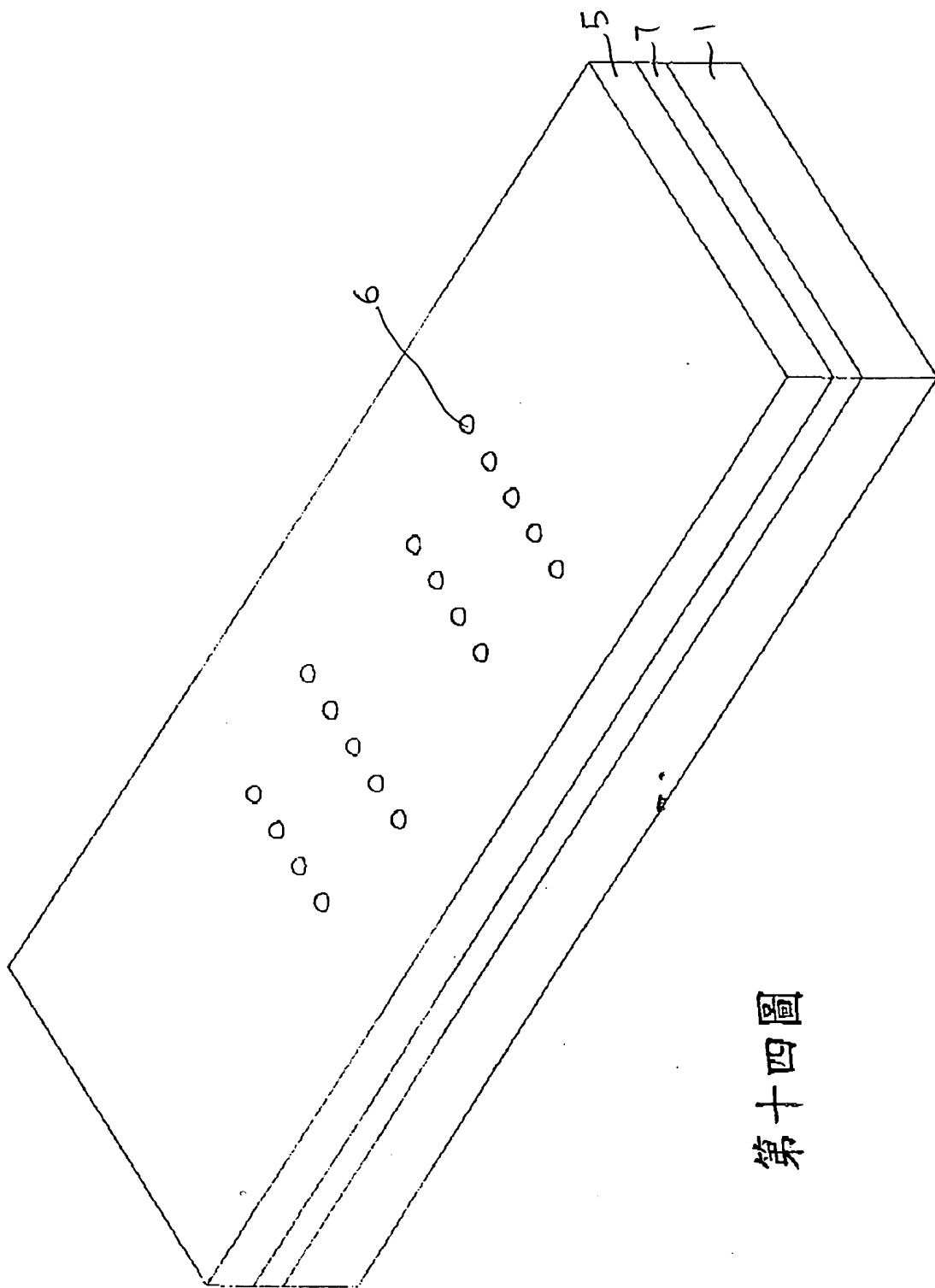
第十一圖



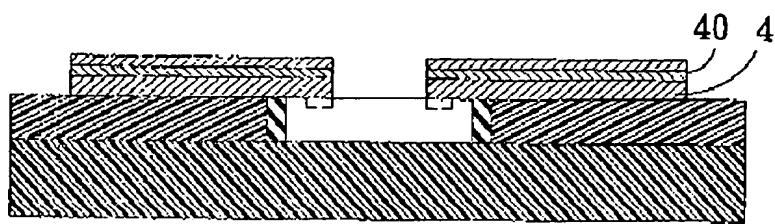
第十二圖



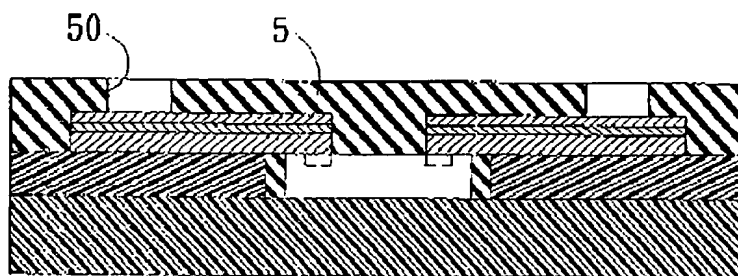
圖三十一



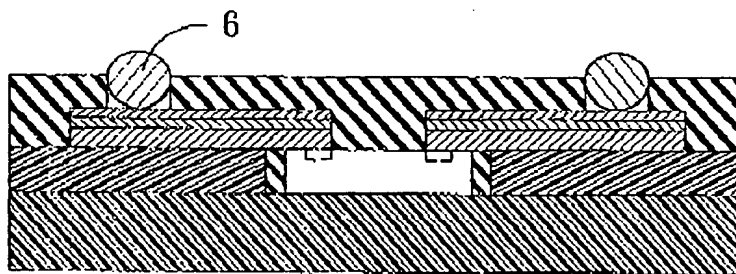
第十四圖



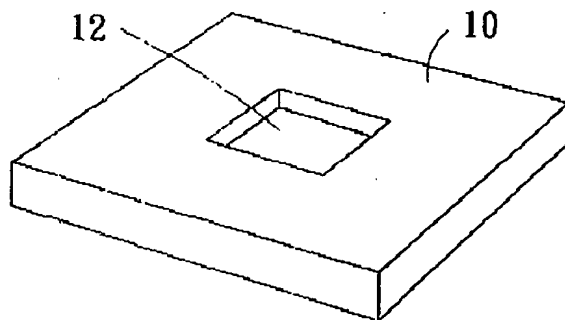
第十六圖



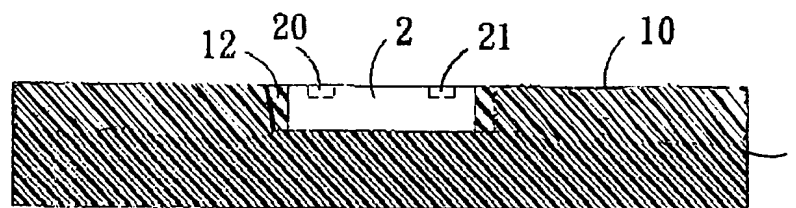
第十七圖



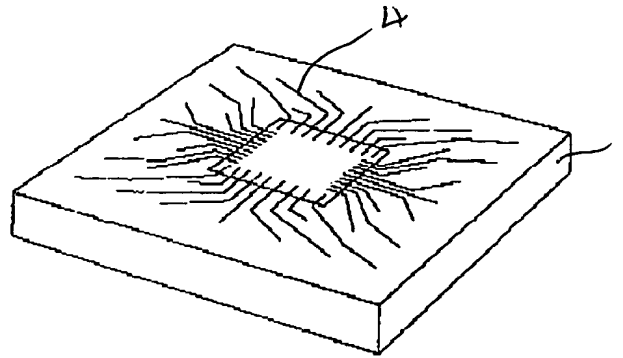
第十八圖



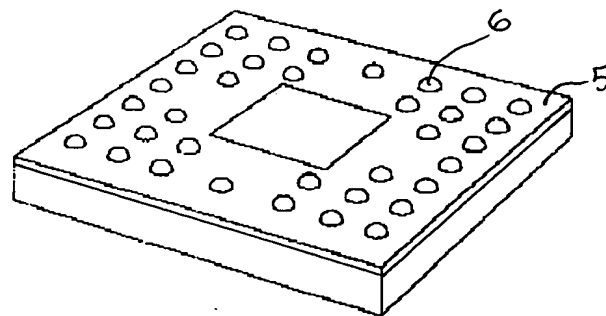
第十九圖



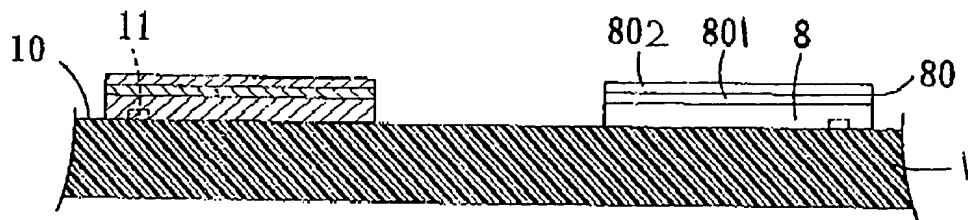
第十五圖



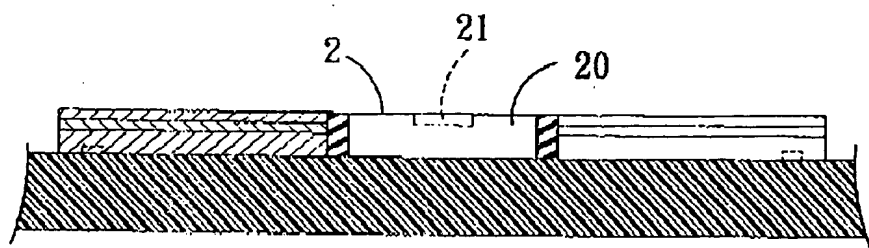
第二十圖



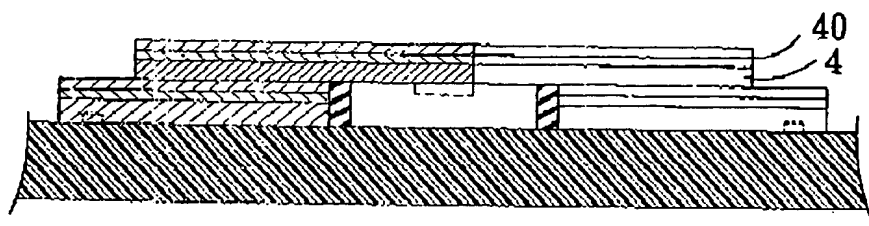
第二十一圖



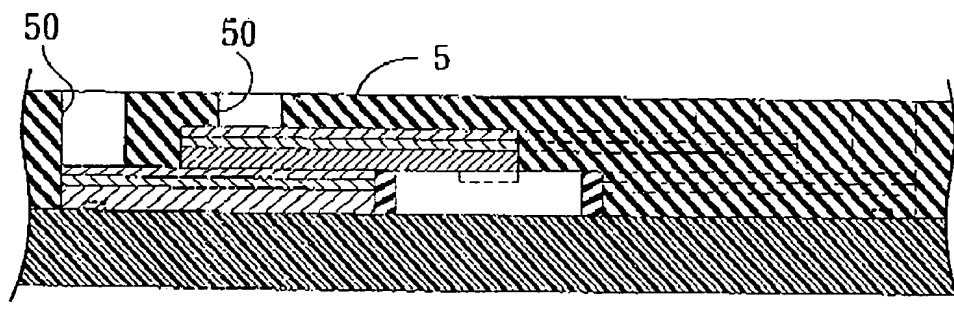
第二十二圖



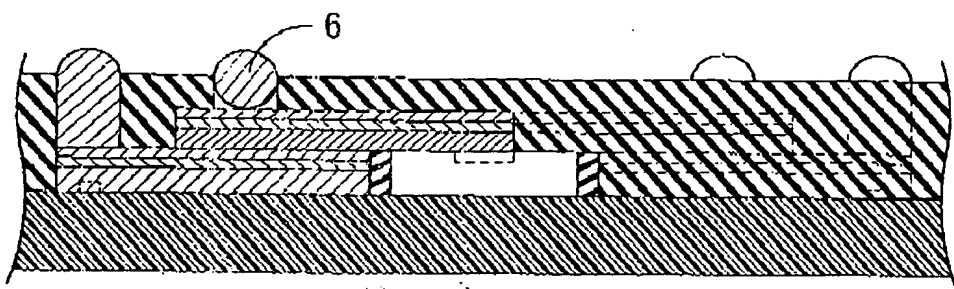
第二十三圖



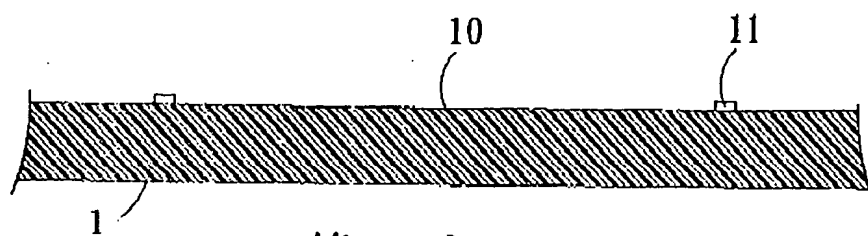
第二十四圖



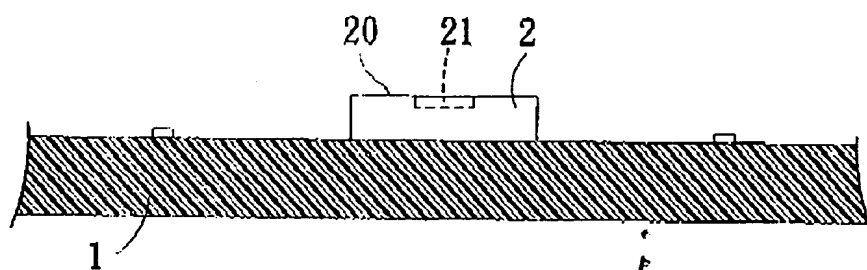
第二十五圖



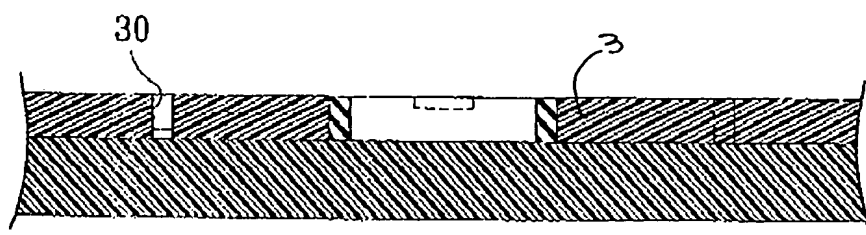
第二十六圖



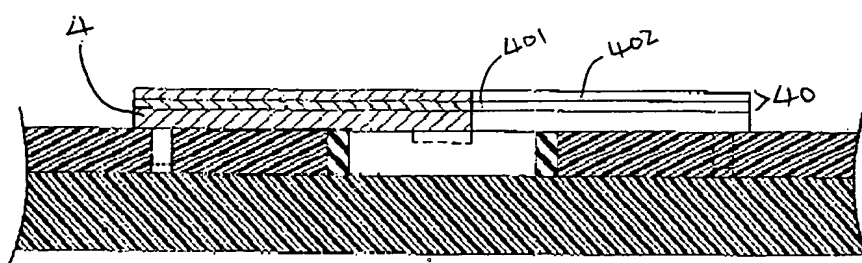
第二十七圖



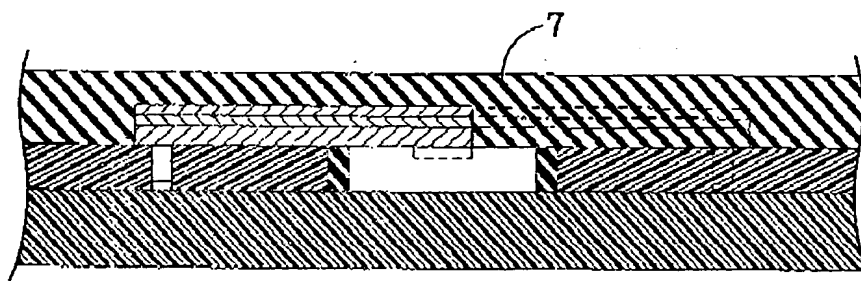
第二十八圖



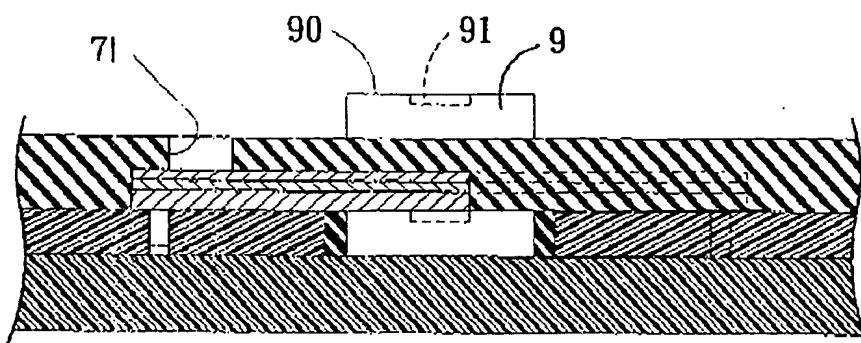
第二十九圖



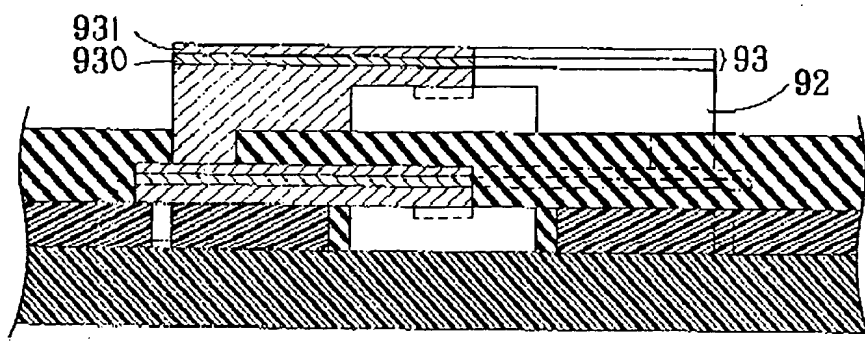
第三十圖



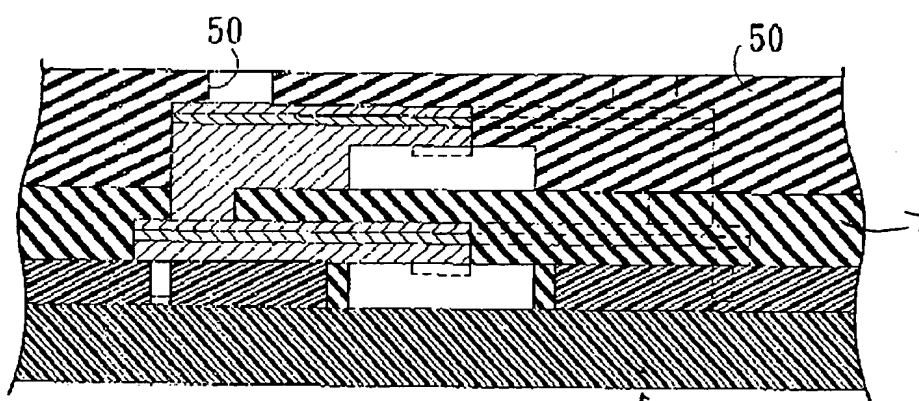
第三十一圖



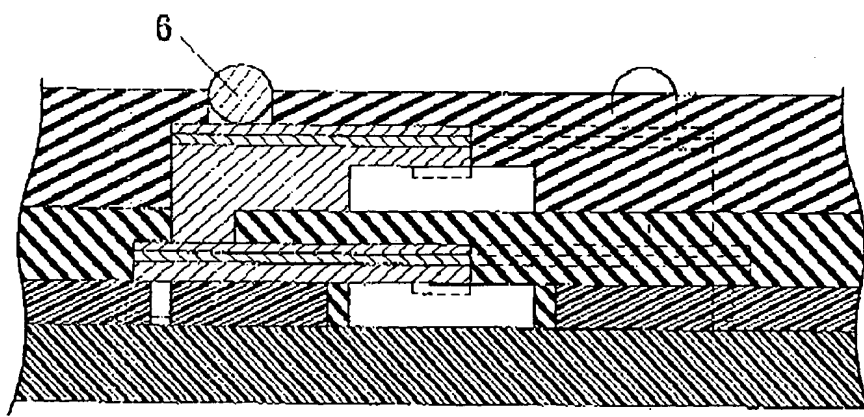
第三十二圖



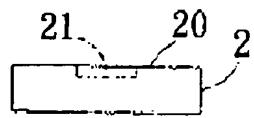
第三十三圖



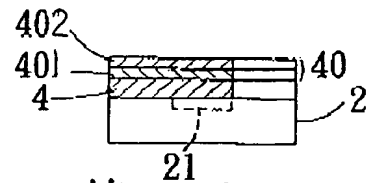
第三十四圖



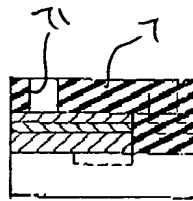
第三十五圖



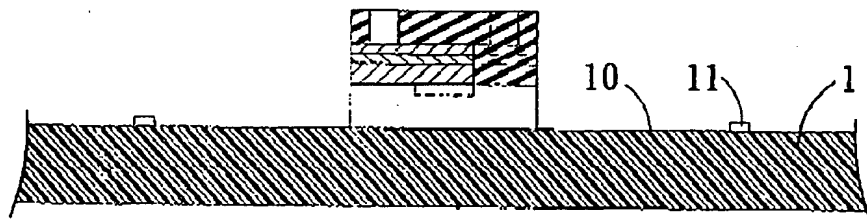
第三十六圖



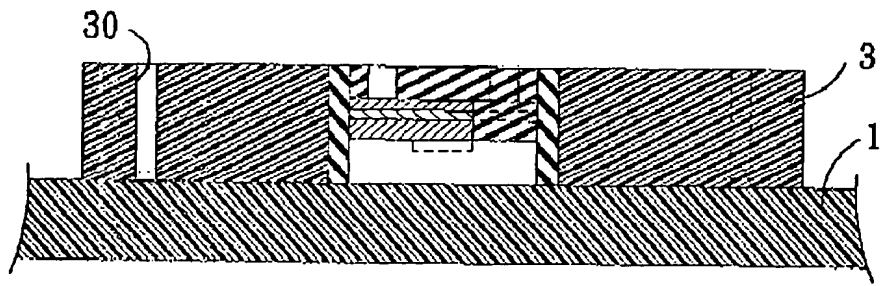
第三十七圖



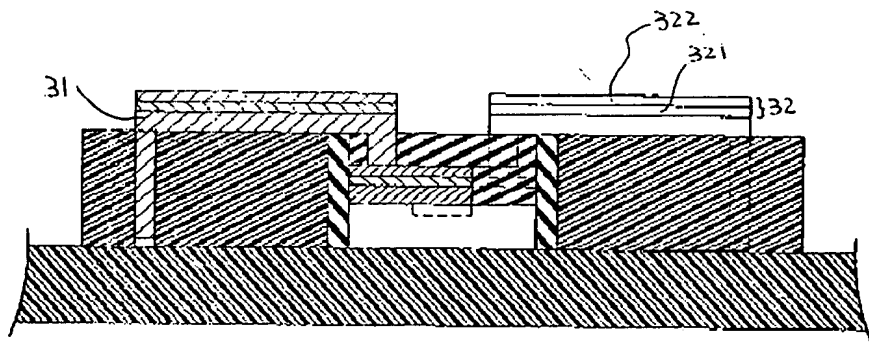
第三十八圖



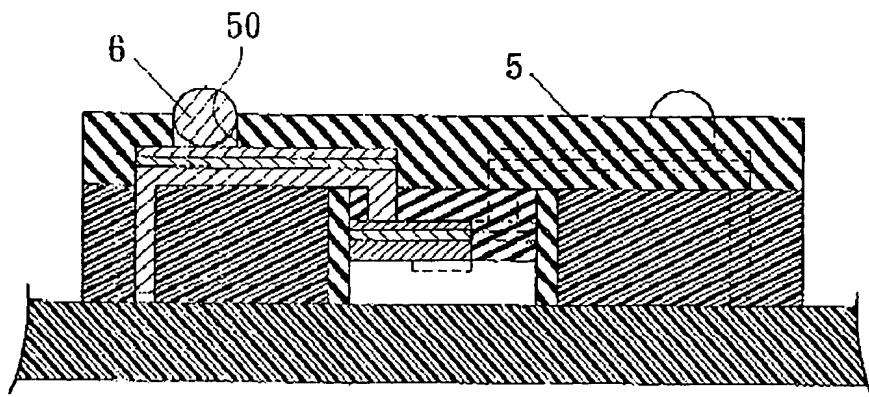
第三十九圖



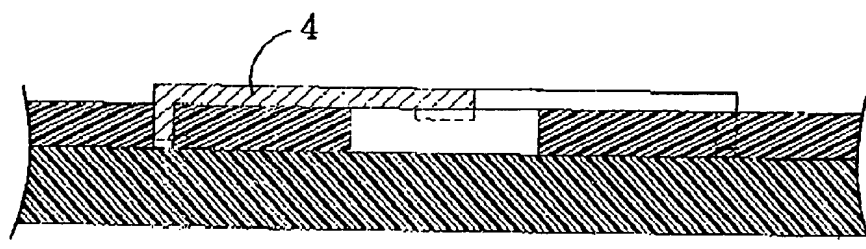
第四十圖



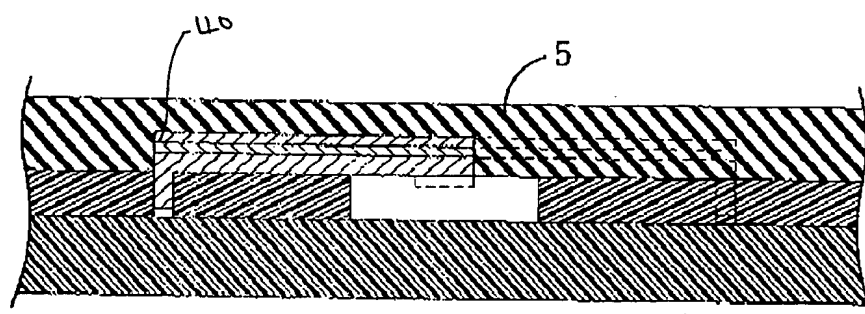
第四十一圖



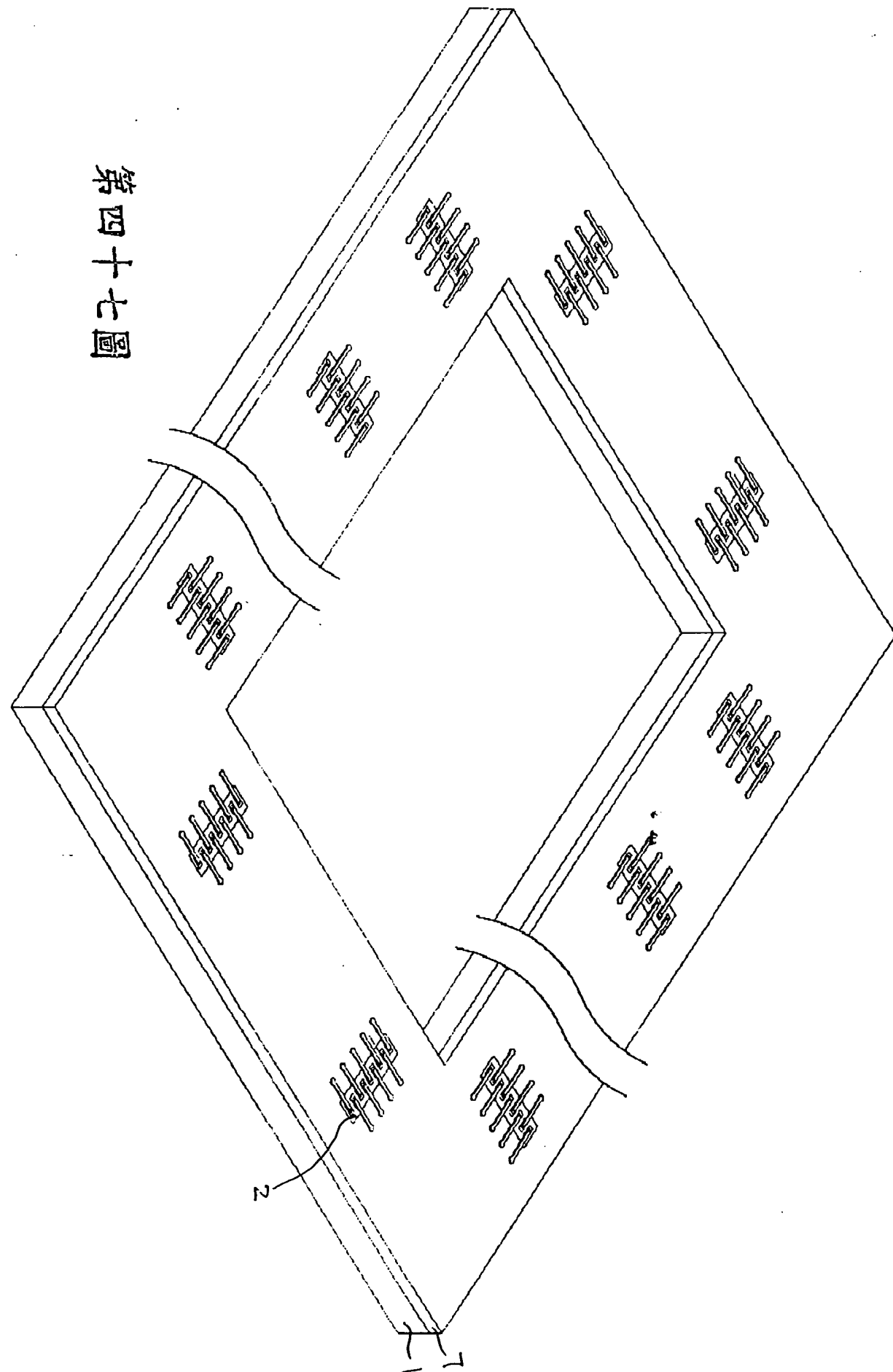
第四十二圖



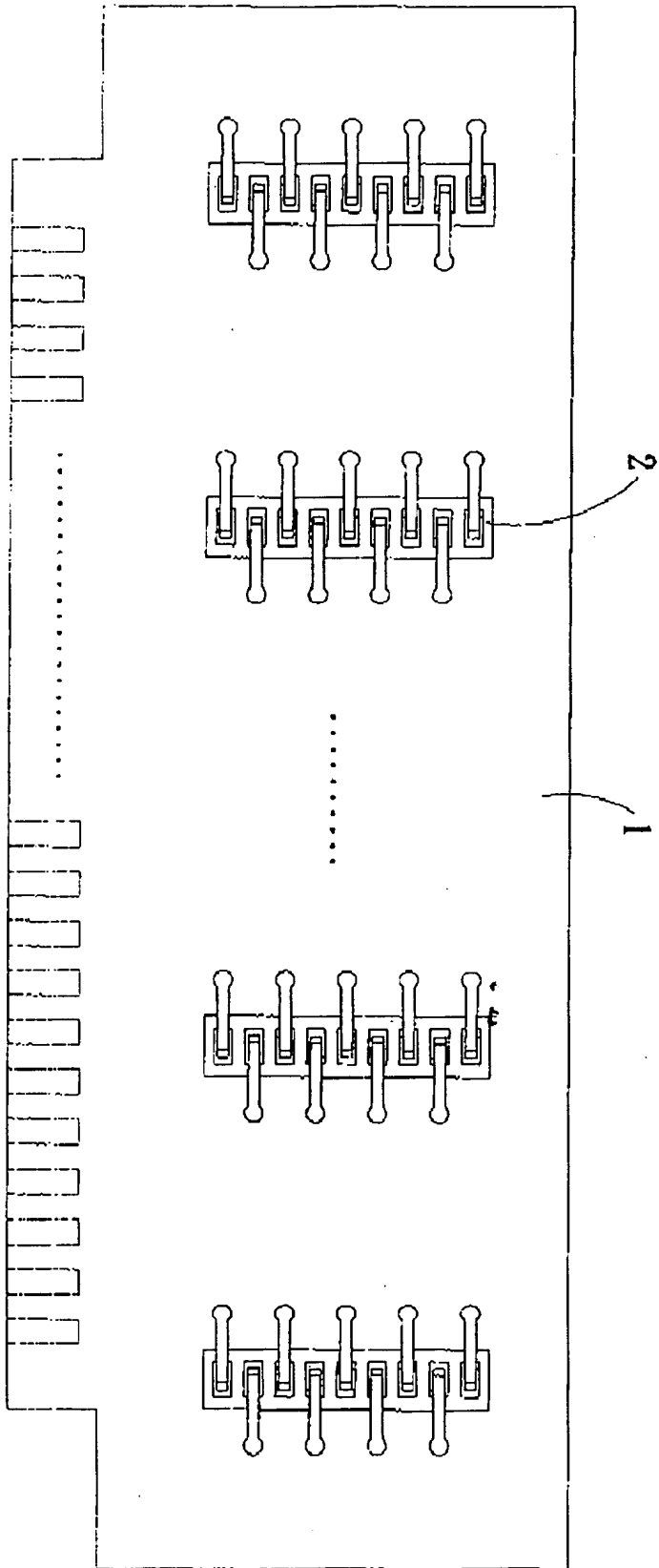
第四十五圖



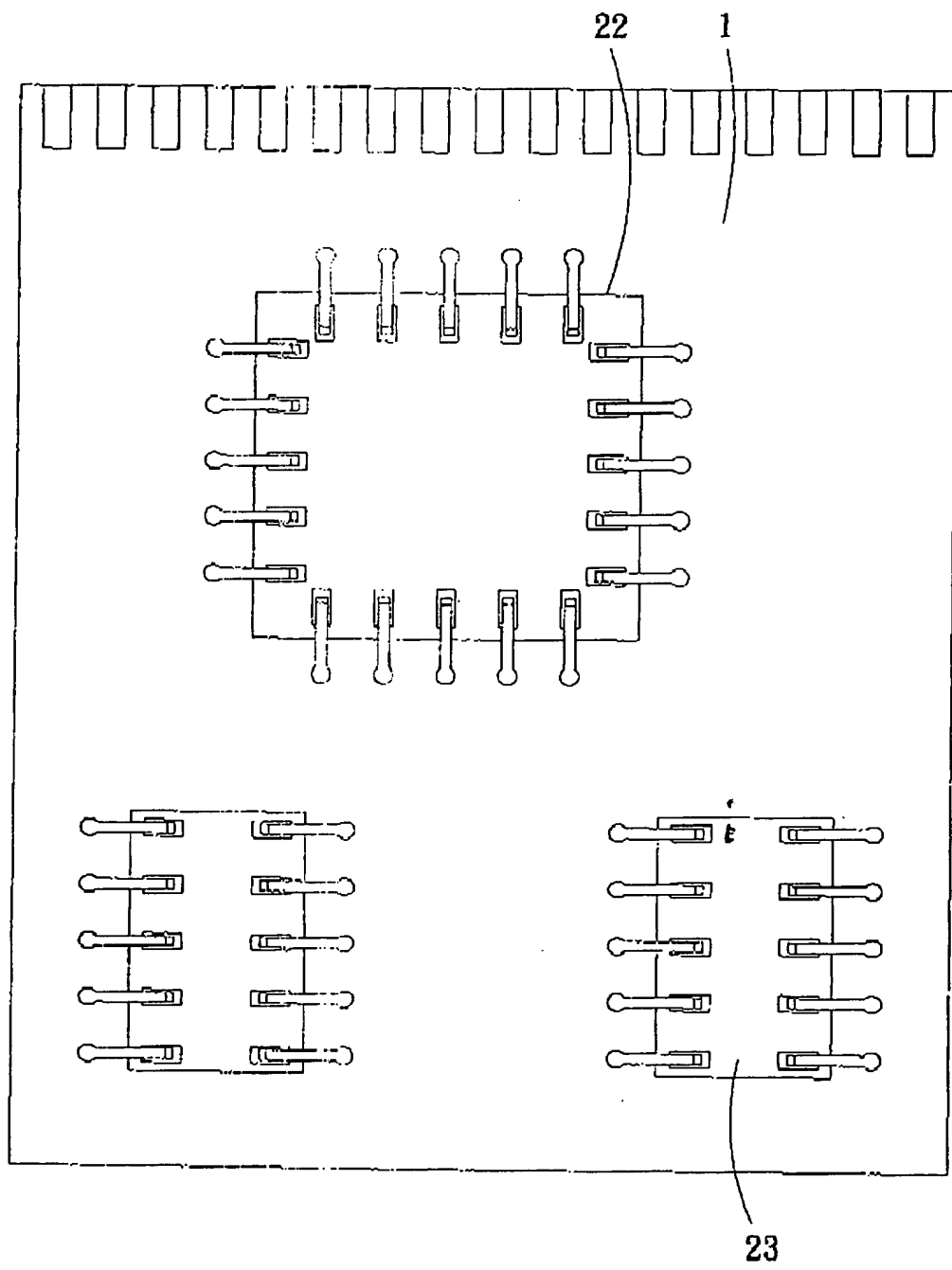
第四十六圖



第四十七圖



第四十八圖



第四十九圖